

RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication :

**2 403 704**

(A n'utiliser que pour les  
commandes de reproduction).

A1

**DEMANDE  
DE BREVET D'INVENTION**

(21)

**N° 78 26523**

(54) **Système de commutation téléphonique.**

(51) **Classification internationale (Int. Cl.<sup>2</sup>). H 04 Q 3/54, 11/04.**

(22) **Date de dépôt ..... 15 septembre 1978, à 14 h 51 mn.**

(33) (32) (31) **Priorité revendiquée : *Demande de brevet déposée aux Etats-Unis d'Amérique le 16 septembre 1977, n. 833.954 aux noms de Bernard J. Pepping, Satyan G. Pitroda et Byung C. Min.***

(41) **Date de la mise à la disposition du  
public de la demande ..... B.O.P.I. — «Listes» n. 15 du 13-4-1979.**

(71) **Déposant : Société dite : WESCOM SWITCHING, INC., résidant aux Etats-Unis d'Amérique.**

(72) **Invention de :**

(73) **Titulaire : *Idem* (71)**

(74) **Mandataire : Rinuy, Santarelli.**

La présente invention concerne les systèmes de commutation pour les télécommunications, et porte plus particulièrement sur le réseau de ces systèmes qui est destiné à établir des connexions entre les différents accès.

5           Le but final d'un réseau de commutation téléphonique est de connecter deux bornes, ou davantage. Les autocommutateurs à barres croisées, ou "Crossbar", les autocommutateurs à relais en ampoule, etc, qui ferment réellement des circuits galvaniques, sont bien connus, leur fonctionnement est facilement  
10   compréhensible, et le dépannage de leurs points de commutation ne présente pas de difficultés excessives. L'invention porte sur un autocommutateur entièrement temporel, c'est-à-dire un autocommutateur dans lequel des échantillons d'information sont reçus, enregistrés, retardés, puis émis de manière à  
15   commuter les échantillons entre un intervalle élémentaire et un autre, pour établir une communication entre les bornes qui sont affectées à ces intervalles élémentaires. Au lieu d'utiliser des contacts métalliques, ces réseaux utilisent des mémoires à semiconducteurs pour enregistrer les échantillons au fur et à  
20   mesure de leur réception séquentielle, et pour lire l'information enregistrée, sous la commande d'autres mémoires à semiconducteurs (appelées mémoires de connexion), dans le but d'échanger les échantillons entre les intervalles élémentaires, pour faire communiquer les bornes qui sont associées à ces inter-  
25   valles élémentaires. Dans ce type de système, les échantillons qui proviennent d'un ensemble étendu d'accès d'entrée sont acheminés vers un très petit nombre de lignes bus du réseau, pour effectuer la commutation, puis ils sont démultiplexés après la commutation, pour être répartis vers les accès. Du  
30   fait de la densité d'information dans le réseau, une panne peut mettre hors service la totalité ou une partie très importante de l'ensemble de l'autocommutateur.

          Dans le but de réduire le risque d'une telle mise hors service du système de commutation, de nombreux autocommutateurs  
35   pour centraux téléphoniques de grande capacité comportent des réseaux redondants, et le réseau de secours est automatiquement mis en service en cas de panne du réseau principal. Ces systèmes ont soit une configuration dans laquelle l'ensemble du réseau

est doublé, soit une configuration, dans le cas où le réseau est divisé en blocs, dans laquelle chaque bloc est doublé, de façon qu'il existe un élément de secours particulier pour chaque élément principal. Dans ces types de systèmes, chaque bloc de secours ou de réserve possède une identité qui est la même que celle du bloc principal auquel il est associé. Le bloc de secours peut par exemple fonctionner en parallèle sur le bloc principal, de façon que les connexions soient écrites dans les deux blocs. Une autre technique consiste à utiliser un canal spécialisé d'accès direct en mémoire entre l'élément principal et l'élément secondaire, de façon qu'en cas de mise hors service de l'élément principal, le contenu de sa mémoire puisse être transféré vers l'élément de secours par une opération d'accès direct en mémoire.

Il faut un matériel considérable pour doubler entièrement un réseau et, du fait de l'augmentation de coût importante qui en résulte, dans de nombreux petits systèmes de commutation, il est impossible d'utiliser un réseau de secours. Compte-tenu des configurations précédentes, le but général de l'invention est de réaliser dans des conditions économiques un réseau de commutation de fiabilité accrue, tout en évitant la nécessité de doubler entièrement le réseau. L'invention a plus précisément pour but de réaliser un réseau qui comporte plusieurs blocs principaux, et un seul bloc de réseau de secours, l'identité de ce bloc de secours étant programmable pour correspondre à l'identité de n'importe quel bloc principal.

L'invention a plus précisément pour but de donner aux blocs principaux et de secours une configuration telle que le remplacement s'effectue en un point du processus de multiplexage/démultiplexage tel que la redondance ait l'effet maximal sur la fiabilité globale du système. Plus précisément, le processus de multiplexage/démultiplexage est tel que le multiplexage s'effectue en deux étages, et le bloc de secours peut remplacer le second étage, ou étage d'ordre supérieur, du réseau.

L'invention sera mieux comprise à la lecture de la description qui va suivre d'un mode de réalisation, et en se référant aux dessins sur lesquels :

La figure 1 est un schéma synoptique général d'un système de commutation de télécommunications dans lequel on utilise le réseau correspondant à l'invention ;

La figure 2 est un schéma synoptique qui montre  
5 l'architecture générale du réseau ;

La figure 3 est un schéma synoptique qui montre la relation entre le réseau, ses éléments de commande, et les parties associées du système de commutation ;

Les figures 4a-4c représentent un schéma logique du  
10 convertisseur série-parallèle-série ;

La figure 5 est un schéma synoptique du circuit d'interface de haut niveau ;

Les figures 6a-6b forment un schéma logique du circuit d'interface de processeur central A ; et

15 Les figures 7a-7d forment un schéma logique du circuit d'interface de processeur central B.

On se reportera maintenant à la figure 1 qui est un schéma synoptique d'un système de commutation téléphonique qui constitue un exemple de système dans lequel on peut utiliser  
20 le réseau de l'invention. Ce système est destiné à être connecté à un certain nombre de lignes symbolisées par les postes téléphoniques 30, 31, et à un certain nombre de circuits qui sont désignés globalement par la référence 32. On utilisera ici le terme général "accès" pour désigner les entrées du  
25 système de commutation qui sont disponibles pour ces dispositifs d'entrée, ainsi que d'autres. Des circuits appropriés relient les accès au système de commutation, et ces circuits sont représentés par les circuits de lignes 33, 34, les circuits 35 relatifs aux circuits interurbains analogiques, et les  
30 circuits 36 relatifs aux circuits interurbains numériques. Du fait que le système de commutation est du type à quatre fils, les circuits de lignes 33, 34 et les circuits 35 qui sont connectés à des circuits interurbains à deux fils comprennent des hybrides qui convertissent les signaux à deux fils en  
35 signaux à quatre fils, pour être utilisés par le système de commutation.

Outre la fonction qui consiste à desservir les lignes et les circuits interurbains qui sont connectés aux accès, le

système peut desservir du matériel supplémentaire pour assurer des fonctions spéciales, et ces fonctions sont représentées par l'élément 38. On peut par exemple donner au système une configuration permettant de réaliser l'appel de personnes, l'appel codé, la conférence téléphonique, etc. Le matériel supplémentaire nécessaire, comme par exemple le matériel audiofréquence destiné à être utilisé avec la fonction d'appel de personnes, est désigné globalement par la référence 39.

Dans l'exemple représenté, d'autres éléments sont traités comme s'ils étaient connectés aux accès, et ces éléments comprennent les récepteurs et les registres de numérotation, 40, qui reçoivent et interprètent les numéros d'appel qui sont composés, et des générateurs numériques de tonalités 41 qui produisent des tonalités correspondant au déroulement des opérations, en fonction des besoins du système.

Comme il a été suggéré précédemment, le système de commutation a une configuration qui correspond à un autocommutateur numérique temporel à quatre fils, et cet autocommutateur nécessite donc une conversion sous forme numérique de l'information analogique qui est appliquée sur les accès analogiques. On utilise dans ce but un certain nombre de convertisseurs de code, désignés globalement par la référence 45. Dans le mode de réalisation préféré, on utilise le code standard MIC D2/D3, qui présente un format à 8 bits, une vitesse de transmission de 1,544 Mbit, et un rapport de compression pour lequel on a  $\mu = 255$ . Le bloc convertisseur de code 45 peut donc être réalisé à l'aide d'un certain nombre de convertisseurs de code MIC T1 relativement classiques, chaque convertisseur étant capable de traiter 24 voies. Il est également préférable de modifier le système en incluant deux bits supplémentaires dans chaque mot, le neuvième bit étant destiné à la signalisation, et le dixième au contrôle de parité. Un mode de réalisation pratique du système de commutation représenté est destiné à traiter un maximum de 3 088 voies, soit 3 072 voies actives, et 16 réservées à la définition de la trame. La figure 1 représente un tel système, et montre une structure de lignes bus 46, qui comprend 128 lignes bus. Chaque ligne bus achemine 24 voies d'information numérique, vers un multiplexeur de bas niveau 48. Le multiple-

5        xeur de bas niveau poursuit la concentration de l'information qui a commencé au niveau des différents accès séparés, en direction du réseau. Ce multiplexeur combine des groupes de 4 lignes bus à 24 voies, 46, pour donner une structure de lignes bus série à 96 voies, 47. Dans le système de la taille représentée, il existe 32 lignes bus à 96 voies, et ces lignes bus sont acheminées vers le réseau 50 qui effectue des connexions entre les divers accès.

10        Dans le mode de réalisation réel du système, les circuits d'entrée, les convertisseurs de code, et les multiplexeurs de bas niveau ne sont pas segmentés en blocs séparés, comme l'indique la figure 1, mais sont répartis le long de lignes fonctionnelles, pour réduire au minimum le câblage entre les cartes, dans la réalisation des lignes bus à 96  
15        voies. Par exemple, dans le châssis de matériel qui dessert les circuits de ligne, il existe un certain nombre de bacs, et chaque bac comprend 4 convertisseurs de code et les circuits de ligne nécessaires pour faire fonctionner les 4 convertisseurs de code, en compagnie d'un multiplexeur de bas niveau,  
20        si bien que chaque bac de ce châssis est capable de desservir l'une des lignes bus à 96 voies. Ces lignes bus se présentent sous la forme de câbles qui sont ensuite acheminés de chaque bac vers le châssis de matériel qui contient les circuits du réseau. Dans certains cas, comme par exemple pour les circuits  
25        qui desservent les circuits interurbains, il peut être nécessaire d'utiliser deux bacs pour obtenir 96 voies d'information, mais, même dans ces cas, le matériel est segmenté en essayant de faire en sorte que chaque segment desserve l'une des lignes bus qui attaquent les entrées du réseau. Avec une telle configuration de matériel, une panne d'un seul circuit relatif à une  
30        ligne ou un circuit interurbain n'affecte que cette ligne ou ce circuit interurbain, une panne d'un convertisseur de code n'affecte que 24 voies, et une panne d'un multiplexeur de bas niveau affecte un groupe particulier de 96 voies, ce qui ne  
35        représente que 3% du système d'ensemble. De ce fait, une panne de l'un quelconque de ces éléments, bien qu'importante, n'est pas extrêmement grave en ce qui concerne le bon fonctionnement de l'ensemble du système de commutation. Cependant, au fur et à

mesure que l'information poursuit sa convergence vers le réseau, une panne d'un élément au-delà du niveau à 96 voies série a des répercussions de plus en plus importantes sur le bon fonctionnement global du système. De ce fait, on utilise  
5 du matériel de secours pour le matériel qui se trouve au-delà du niveau à 96 voies, comme il sera décrit ultérieurement de façon plus détaillée.

Avant de considérer cet aspect, on envisagera la commande commune du système de commutation qui, dans le mode  
10 de réalisation représenté, consiste en un complexe de commande réparti, à processeurs multiples, 51, qui est décrit de façon plus détaillée dans la demande de brevet FR 77 31790 , déposée par la demanderesse le 21/10/1977 . Comme il est représenté sur la figure 1, le complexe de commande à proces-  
15 seurs de type réparti, 51, est connecté aux éléments qui viennent d'être décrits, pour faire en sorte que ces éléments remplissent la fonction d'un autocommutateur. De façon générale, le complexe de commande conserve en mémoire l'état courant de chaque accès du système, il détecte les demandes de  
20 service, il détermine l'état suivant de chaque accès, et il produit des changements d'un état à un autre, comme par exemple en écrivant des connexions dans le réseau.

Pour que la figure 1 soit complète, on y a représenté des pupitres d'opératrice 52 qui sont reliés au complexe  
25 de commande à processeurs de type réparti, qui permettent à une opératrice de surveiller les connexions du système, d'établir de nouvelles connexions, etc. Un panneau de maintenance et d'état du système, 53, est destiné à faciliter le dépannage et permet d'afficher l'état d'un matériel particulier, ainsi que  
30 de changer manuellement la configuration du système. Un terminal 54 constitue un accès permettant d'introduire des informations dans le complexe de commande 51, ainsi que d'obtenir des informations de sortie de ce complexe. Une interface pour terminal éloigné, 55, assure des possibilités analogues pour un  
35 terminal situé dans un emplacement éloigné. Enfin, une unité de disque souple 56 contient l'ensemble du programme du système, et peut être mise en oeuvre en cas d'erreur de logiciel, afin de recharger le programme, pour remettre le système en service.

On se reportera maintenant à la figure 2 qui représente l'architecture générale du réseau 50, comprenant 4 blocs principaux 60-63, et un bloc de secours 64. Dans le cas présent, on considère que les entrées du réseau, comme ses sorties, sont constituées par la structure de ligne bus série à 96 voies, 47, qui assure l'échange d'information avec les circuits relatifs aux lignes et aux circuits interurbains, et avec les circuits de service. Dans le mode de réalisation représenté, un ensemble de convertisseurs série-parallèle-série, qui est désigné globalement par la référence 66, fait fonction d'élément d'entrée et de sortie du réseau, dans le but de desservir la structure de ligne bus 47. Les convertisseurs attaquent des multiplexeurs de haut niveau respectifs 67, et ces multiplexeurs continuent à faire converger l'information numérique vers les éléments de commutation, c'est-à-dire les mémoires d'information 68 qui fonctionnent sous la commande des mémoires de connexion, dans ces autocommutateurs entièrement temporels.

Dans le mode de réalisation qui est représenté, chaque bloc du réseau est capable de traiter 768 voies d'information. Pour traiter efficacement un tel nombre de voies, le convertisseur série-parallèle-série de chaque bloc se présente sous la forme de 4 cartes, et chaque carte est capable de traiter deux des lignes bus à 96 voies. Ainsi, chaque bloc traite 8 lignes bus à 96 voies, ce qui donne en entrée de la mémoire d'information une ligne bus qui achemine l'information relative à 768 voies.

En considérant la carte de convertisseur 66a du bloc 0, on voit que cette carte est segmentée en 4 sections 0-3 à l'extrémité de bas niveau. Le bloc 0 est connecté aux lignes bus à 96 voies B1, B2, et il possède une section commune au niveau haut et il comporte deux lignes bus de sortie 70 qui vont vers le multiplexeur de haut niveau 67. Chaque carte restante du bloc 0 est connectée de la même manière, de façon à desservir les lignes bus à 96 voies B3-B8. Dans le bloc 1, c'est la section 1 de la carte de convertisseur qui est utilisée, dans le bloc 2 c'est la section 2, et dans le bloc 3, c'est la section 3. L'ensemble des 4 sections des cartes de convertisseur du bloc de réseau de secours est connecté aux lignes



bus entrantes, et, par exemple, la carte 66b dessert les lignes bus B1, B2, B9, B10, B17, B18, B25 et B26. Le fait de donner cette configuration aux cartes de convertisseur permet d'utiliser un seul type de carte dans tous les blocs principaux, en  
5 enfichant cette carte dans la position appropriée dans le bac de cartes, ou de l'utiliser dans le convertisseur de bloc de secours, en l'enfichant dans le bac du bloc de secours.

Les convertisseurs série-parallèle-série acceptent l'information série qui provient des lignes bus associées,  
10 convertissent cette information sous forme parallèle, et conservent les données converties sur leurs lignes bus de sortie, comme les lignes 70, pour permettre au multiplexeur de haut niveau 67 de recevoir ces données à l'instant approprié, au cours de son exploration des convertisseurs. Dans le fonctionnement en sens inverse, les convertisseurs 66 acceptent l'in-  
15 formation en parallèle, démultiplexée, ils la convertissent sous forme série, et ils attaquent les lignes bus de retour B1-B32, pour répartir l'information vers les accès, par l'intermédiaire des multiplexeurs de bas niveau. On notera que  
20 chaque ligne bus B1-B32 consiste en fait en deux lignes bus unidirectionnelles, bien qu'on l'ait représentée par commodité sous la forme d'une seule ligne bus bidirectionnelle. Comme il a été indiqué précédemment, le multiplexeur de haut niveau 67 accepte de façon cyclique l'information parallèle qui provient  
25 des convertisseurs, pour fournir une information parallèle aux mémoires d'information, par les lignes bus à 768 voies, 72. Cette information est écrite dans les mémoires d'information pendant des intervalles élémentaires qui sont réservés à cette opération. Sous la commande des mémoires de connexion, le  
30 contenu des mémoires d'information est lu pour insérer l'information lue dans les lignes bus de retour à 768 voies, en direction du multiplexeur de haut niveau 67. L'information est ensuite démultiplexée, transmise aux cartes de convertisseur 66, et convertie en série pour être retransmise vers les cir-  
35 cuits de ligne, de circuits interurbains ou de registre, en fonction des besoins, par l'intermédiaire de la section numérique-analogique des convertisseurs de code.

La figure 3 est un schéma synoptique qui montre de

façon plus détaillée la relation entre les éléments qui sont représentés sur la figure 2, et leurs éléments de commande. La figure 3 ne représente qu'un seul convertisseur série-parallèle-série 66, et les deux multiplexeurs de bas niveau 48 qu'il dessert. Cependant, le multiplexeur de haut niveau 67, n'est pas connecté uniquement au seul convertisseur série-parallèle-série 66, comme il est représenté, mais également aux 3 cartes de convertisseur supplémentaires de ce bloc. La figure 3 montre que le multiplexeur de haut niveau 67 transmet les signaux vers la mémoire d'information 68, pour les enregistrer dans cette mémoire, exactement de la manière qui est représentée sur la figure 2. Cependant, dans ce cas, le démultiplexage est effectué dans un ensemble comparateur/interface, 74. On utilise cet élément lorsque le réseau possède une configuration qui correspond à une conférence téléphonique à trois, et accepte des échantillons provenant de deux éléments de mémoire de la mémoire d'information, compare l'information au cours de chaque intervalle élémentaire, et transmet le plus élevé des deux échantillons. Des impulsions de validation qui sont appliquées au convertisseur série-parallèle-série 66 chargent le résultat de la comparaison dans les registres de type parallèle de ce convertisseur, au cours de l'intervalle élémentaire approprié. En fait, l'ensemble comparateur/interface 74 accomplit une fonction de démultiplexage qui complète celle qui est accomplie par l'élément 67.

La figure 3 montre également les éléments de commande d'un bloc de réseau, qui comprennent deux interfaces de haut niveau 75, 75', recevant les données à partir du complexe de commande 51 (figure 1), pour les répartir vers des blocs de réseau choisis. Le complexe de commande comme les interfaces de haut niveau sont décrits de façon plus détaillée dans la demande de brevet précitée. Dans le complexe de commande de type réparti qui est décrit dans cette demande, le microprocesseur d'états constitue l'élément de commande du réseau. Comme il est également indiqué dans cette demande de brevet, une seule des interfaces de haut niveau est active à un moment donné, et la seconde interface est destinée à assurer une redondance complète, dans des conditions telles qu'une panne de l'in-

terface active provoque la mise en service automatique de l'autre interface. Dans ce but, les structures de ligne bus des interfaces sont branchées en parallèle, à l'entrée comme à la sortie. Le microprocesseur d'états communique par l'intermédiaire de l'interface de haut niveau 75 ou 75' avec les  
5 cartes d'interface de réseau, qui sont appelées respectivement interface de processeur central A, 76, et interface de processeur central B, 77. On utilise l'interface de processeur central 76 aussi bien pour la maintenance que pour le traitement  
10 des appels, et cette interface accomplit un décodage partiel des adresses qui sont transmises par les interfaces de haut niveau 75, 75'. L'interface de processeur central B, 77, reçoit des mots de données qui proviennent du complexe de commande, pour écrire des connexions dans les mémoires du réseau. Plus  
15 précisément, cette interface reçoit des données qui indiquent l'adresse d'une position particulière qui doit faire l'objet d'une opération d'écriture, ainsi que des données qui représentent les données réelles à écrire à la position adressée. De ce fait, l'interface de processeur central B, 77, comporte  
20 des connexions avec la mémoire de connexion 79, pour les adresses comme pour les données. On peut ainsi écrire des connexions dans la mémoire de connexion, ce qui provoque un échange de l'information reçue par la mémoire d'information 68, entre les intervalles élémentaires qui sont associés aux  
25 voies connectées.

On considère que les circuits d'interface de haut niveau font partie du complexe de commande, et constituent en fait la partie de la structure de ligne bus qui assure l'interface entre le complexe de commande et le réseau. En tant que  
30 tel, l'interface active parmi les interfaces de haut niveau 75, 75' dessert l'ensemble des blocs de réseau. Au contraire, on considère que les interfaces de processeur central 76, 77 font partie du bloc de réseau. De ce fait, il existe 5 paires d'interfaces de processeur central dans un système de taille maximale, à savoir une paire pour chaque bloc principal, et une  
35 paire pour le bloc de secours. Les interfaces de haut niveau 75, 75' sont connectées à l'ensemble des 5 paires. Cependant, comme il sera décrit ultérieurement de façon plus détaillée,

une adresse particulière est affectée à chaque paire, et le décodage de cette adresse permet de faire en sorte qu'un seul des blocs de réseau réponde à une instruction qui provient du complexe de commande, si bien que ce complexe de commande est capable d'adresser sélectivement chaque bloc. Conformément à l'invention, lorsque le bloc de réseau de secours est en service, il répond à l'une des adresses principales, si bien que le complexe de commande doit seulement adresser les blocs principaux, au moins dans le mode de traitement des appels. Ainsi, lorsque le bloc de secours est en service, il répond à la place du bloc qu'il remplace, sans que les programmes de traitement des appels sachent qu'il en est ainsi. De ce fait, le logiciel de traitement des appels est simplifié du fait qu'il n'est pas nécessaire de le modifier, ou d'utiliser un programme distinct pour le cas dans lequel le bloc de secours est utilisé à la place d'un bloc principal. Une fois que le bloc de secours est en service, et qu'un bloc principal en panne est hors service, le traitement des appels se poursuit comme si le bloc principal était en service, bien que ce soit le bloc de secours qui accomplisse les fonctions qui sont affectées au bloc principal hors service.

Compte-tenu de ce qui précède, on va maintenant considérer les circuits particuliers des éléments de réseau, pour montrer les détails d'un mode de réalisation d'un bloc de réseau qui correspond à l'invention. Au cours de la description, on constatera, entre autres, l'universalité de chaque carte de circuit, ou circuit, ce qui permet d'utiliser chacun de ces éléments pour n'importe quel bloc principal ou pour le bloc de secours, ainsi que la sélectivité de ces éléments, du fait qu'on affecte à chaque carte universelle une fonction particulière et unique dans une configuration particulière du système.

On se reportera maintenant aux figures 4a-4c qui représentent le convertisseur 66, intercalé entre les multiplexeurs de bas niveau et les multiplexeurs de haut niveau (voir la figure 3). Le convertisseur effectue une conversion série-parallèle sur les données qui sont reçues à partir du multiplexeur de bas niveau, et il maintient ces données prêtes sur les lignes de sortie, pour leur réception par le multiple-

5 xeur de haut niveau. Dans le sens opposé, le convertisseur effectue une conversion parallèle-série, et il accepte les données en parallèle qui proviennent du comparateur, et les convertit en série, pour leur réception par le multiplexeur de  
10 bas niveau. Du fait que chaque mot de données du train binaire série contient 8 bits, et du fait que les 8 convertisseurs attaquent un seul multiplexeur de haut niveau, la cadence de bit des multiplexeurs de haut niveau et de bas niveau demeure la même, bien que le multiplexeur de haut niveau traite huit  
15 fois plus de données. De ce fait, la cadence de bit des multiplexeurs de haut niveau et de bas niveau est d'environ 6,176 MHz, ce qui laisse environ 162 ns pour chaque bit de données, et environ 1300 ns pour chaque mot de 8 bits.

15 La figure 4a montre la partie série-parallèle du circuit du convertisseur, et cette partie comprend un ensemble de 4 circuits d'attaque à 3 états 100-103, qui font partie des circuits de l'extrémité de bas niveau, segmentés sur la figure 2 pour donner les blocs 0-3. Les lignes bus d'entrée, c'est-à-dire les câbles qui proviennent des châssis de circuits rela-  
20 tifs aux lignes, aux circuits interurbains et aux circuits de service, sont connectées aux entrées des circuits d'attaque, et en particulier à l'un des 4 groupes qui est associé au bloc de réseau particulier considéré. Ces connexions sont effectuées au niveau du connecteur qui se trouve dans le plan arrière du  
25 châssis, si bien que lorsqu'on insère une carte dans le connecteur, les circuits d'attaque appropriés reçoivent les signaux. Ainsi, les câbles qui acheminent les 96 voies série sont câblés aux connecteurs de manière que dans le bloc 0 les signaux soient appliqués aux circuits d'attaque 100, dans le bloc 1 aux  
30 circuits d'attaque 101, dans le bloc 2 aux circuits d'attaque 102, et dans le bloc 3 aux circuits d'attaque 103. Comme il a été indiqué en relation avec la description de la figure 2, les connecteurs des cartes du bloc de réseau de secours sont câblés de façon que tous les circuits d'attaque 100-103 reçoivent des  
35 signaux d'entrée.

Pour faire en sorte qu'un seul des blocs de circuits d'attaque soit actif à un instant donné, on utilise des éléments qui valident sélectivement les blocs, et ces éléments sont

représentés par les éléments de validation 105. Dans le mode de réalisation considéré, les éléments de validation se présentent sous la forme d'un décodeur du type 1 parmi 4 qui possède 4 sorties. L'une de ces sorties est amenée à l'état bas en fonction de l'état des signaux d'entrée. Les signaux d'entrée portent les références NBIDOFF\* et NBID1FF\*. Ces références désignent les bascules d'identification de bloc de réseau (0 ou 1), et les astérisques indiquent que c'est l'état logique bas qui est l'état actif. Ces signaux d'entrée sont câblés dans le cas des blocs principaux, et programmables dans le cas du bloc de secours, pour permettre de sélectionner et actionner l'un des 4 blocs de circuits d'attaque, et d'affecter ainsi partiellement une identité au convertisseur particulier. Par exemple, si les 2 bits d'identification inversés ID sont à l'état haut, la sortie 106 est amenée à l'état bas, et ce signal est appliqué à l'inverseur 107, dont la sortie passe à l'état haut pour valider les 4 circuits d'attaque à 3 états, 110-113. Les codes (non inversés) pour les blocs principaux sont les suivants :

	Bloc	ID1	ID0
20	0	0	0
	1	0	1
	2	1	0
	3	1	1

On rappelle que chaque carte est capable de traiter deux lignes bus série à 96 voies, et les conducteurs 115, 116 du bloc 100 correspondent aux accès d'entrée de ces lignes bus. Dans un mode de réalisation pratique du système, outre les 8 bits de données par voie, il existe également un bit de signalisation et un bit de parité. Ces deux derniers bits sont acheminés sur une ligne bus séparée, et, dans le mode de réalisation considéré, la ligne bus 117 achemine le bit de signalisation et le bit de parité pour les données présentes sur la ligne bus 115, et la ligne bus 118 achemine le bit de signalisation et le bit de parité pour les données qui sont présentes sur la ligne bus 116. Chaque autre bloc de circuits d'attaque a une structure similaire. Par exemple la ligne bus 115 reçoit du multiplexeur de bas niveau les données MIC qui correspondent au groupe X, soit  $LMPCM * G(X)$ , la ligne bus 116 reçoit des

données similaires pour le groupe  $X + 1$ , et les lignes bus 117, 118 reçoivent les données qui correspondent aux groupes  $X$  et  $(X + 1)$ , soit  $LMSIG * G(X)$ ,  $LMSIG * (X + 1)$ .

Les données MIC qui sont transmises par les circuits  
5 d'attaque 110, 111, ainsi que leurs équivalents dans les autres  
blocs de circuits d'attaque, sont présentées à l'entrée des  
registres à décalage à 8 bits associés 120, 121, dans lesquels  
elles sont introduites sous la commande d'une horloge d'une  
période de 162 ns, relative aux données entrantes, soit  $L162I^*$ ,  
10 qui est appliquée au registre par l'intermédiaire de l'inverseur  
122. Lorsqu'un mot de 8 bits complet a été reçu, les  
lignes de sortie des registres respectifs représentent ce mot  
de 8 bits sous forme parallèle, et ces données sous forme  
parallèle sont chargées dans les mémoires temporaires 124,  
15 125, sous la commande d'un signal d'horloge d'une période de  
1300 ns relatif aux données entrantes, soit  $L1300I^*$ , qui est  
appliqué aux mémoires intermédiaires par l'intermédiaire d'un  
inverseur 123. Les mémoires intermédiaires 124, 125 acceptent  
les données sous la commande du signal d'horloge mentionné  
20 ci-dessus, et les maintiennent sur les lignes de sortie 126,  
127, en préparation de l'acceptation de ces données par le  
multiplexeur de haut niveau.

On considérera maintenant les bits de signalisation  
et de parité. Chacun de ces bits est émis deux fois pendant  
25 chaque intervalle de 1300 ns, si bien qu'ils sont introduits  
à des intervalles de 324 ns. Ainsi, les signaux de sortie des  
circuits d'attaque 112, 113 sont appliqués aux registres à  
décalage respectifs 130, 131, et les données reçues sont  
introduites dans les registres par un signal d'horloge d'une  
30 période de 324 ns,  $L324I^*$ , qui est appliqué aux registres par  
l'intermédiaire d'un inverseur-séparateur 132. Après la réception,  
ces données sont donc disponibles sur les lignes de  
sortie, et sont introduites simultanément dans une mémoire  
temporaire intermédiaire 134, et par le signal d'horloge qui  
35 a mis à jour les mémoires temporaires 124, 125. Ainsi, pendant  
chaque intervalle de 1300 ns, un mot de données provenant de  
chaque ligne bus série est introduit dans les registres 120,  
121, tandis que les bits de signalisation et de parité sont

introduits dans les registres 130, 131. A la fin d'un tel intervalle de 1300 ns, les mémoires temporaires 124, 125 et 134 reçoivent les signaux d'horloge qui permettent la réception des données en parallèle, et la conservation de ces données, en vue de leur réception par le multiplexeur de haut niveau, au point approprié de la séquence. Le multiplexeur de haut niveau reçoit à son tour les données qui proviennent des mémoires temporaires 124, 125, 134, ainsi que de mémoires temporaires similaires appartenant aux 3 cartes supplémentaires, selon une séquence temporelle définie, afin de former un train continu de mots à 10 bits en parallèle, provenant de chaque voie, chaque mot occupant un intervalle élémentaire de 162 ns. On voit que pendant le déroulement de cette opération, les registres 120, 121, 130, 131 chargent un mot suivant, si bien que le cycle se répète continuellement pour poursuivre la concentration de l'information, depuis le circuit de bas niveau jusqu'aux éléments de commutation du réseau.

Avant de passer à la partie de conversion parallèle-série du circuit, on considérera les circuits de terminaison des câbles qui correspondent aux lignes bus série à 96 voies. On rappelle que chacun de ces câbles achemine un train binaire série dont les impulsions ont une largeur d'environ 162 ns, et, si l'on considère que les câbles ont une longueur caractéristique de l'ordre de 10 m, on voit l'importance de la réalisation d'une bonne terminaison. Pour respecter le critère consistant à prévoir du matériel de secours pour tous les éléments qui se trouvent au-delà du niveau série à 96 voies, il devient nécessaire de terminer chaque câble en deux emplacements, ce qui complique encore le problème des terminaisons.

On prend plusieurs mesures pour faire en sorte que les données qui sont émises par les châssis de matériel de départ soient reçues de façon sûre dans le réseau. Tout d'abord, on répartit les impédances de terminaison des câbles entrants entre les blocs principaux et de secours, si bien que lorsque les cartes de circuit de tous les blocs sont en place, le câble présente une terminaison correcte, mais lorsqu'on supprime un bloc, la désadaptation d'impédance qui apparaît demeure tolérable. Pour cela, chaque ligne d'entrée 115-118,



et les lignes correspondantes dans les blocs de circuits d'attaque 101-103 possèdent des impédances de terminaison connectées à la masse, qui ont une valeur double de l'impédance caractéristique du câble. Par exemple, si on utilise un câble  
5 de 100 ohms pour la ligne bus d'entrée série, chaque impédance de terminaison 140-143 du boîtier de résistances 144 a une valeur de 200 ohms. De ce fait, lorsque le bloc principal et le bloc de secours sont en place, il existe deux de ces résistances de terminaison branchées en parallèle, ce qui donne une  
10 impédance de terminaison de 100 ohms qui est adaptée à l'impédance caractéristique du câble. Cependant, lorsqu'on enlève l'une des cartes, par exemple pour la maintenance, il demeure une impédance de terminaison de 200 ohms qui, bien que créant une désadaptation dans un rapport 2/1, assure néanmoins une  
15 terminaison tolérable, tout au moins pour une courte durée.

La figure 2 montre schématiquement le second aspect de l'établissement d'une terminaison correcte, qui consiste en ce que les câbles entrants sont connectés à la fois aux blocs principaux et de secours. En considérant plus particulièrement  
20 le câble 145 relatif à la ligne bus B1, on voit que ce câble se termine dans le châssis de matériel au voisinage du bloc principal 0, où il existe une connexion 146 de laquelle partent un câble 147 qui va vers le bloc principal, et un câble 148 qui va vers le bloc de secours. Le câble 147 est bouclé,  
25 comme il est indiqué schématiquement par l'interruption représentée en 147a, de façon que la longueur de ce câble entre la connexion et le connecteur de plan arrière soit égale à la longueur correspondante du câble 148. Ainsi, les réflexions qui pourraient être produites par des longueurs de câble inégales sont réduites au minimum.  
30

Même en prenant ces mesures, on a constaté que les données entrantes au niveau des circuits d'attaque de réception ne sont valides que pendant environ 50% de chaque période, c'est-à-dire pendant environ 80 ns sur chaque intervalle de  
35 162 ns. On trouve des suroscillations, des réflexions, etc, d'importance considérable dans la partie initiale de chaque impulsion, et l'impulsion finit par prendre une valeur stable jusqu'au voisinage de la fin de la période, lorsqu'une nouvelle

commutation se produit, créant du bruit supplémentaire. Un problème supplémentaire résulte des retards de propagation inégaux dans les éléments de circuit, ce qui peut perturber les données au voisinage du début et de la fin de chaque impulsion.

5 On a cependant constaté que les données sont stables dans la quasi-totalité des conditions entre le point qui correspond à environ 35% de l'impulsion, et celui qui correspond à environ 85%. Pour tirer parti de ce fait, on retarde la phase des signaux d'horloge L162I\* et L324I\*, de façon qu'ils apparais-  
10 sent vers le point qui correspond à 50% de chaque intervalle de 162 ns. Ainsi, même en présence d'un bruit notable, les données qui sont engendrées dans les circuits de bas niveau sont reçus de façon sûre par le réseau.

On considérera maintenant la figure 4b qui représente  
15 la partie de conversion parallèle-série du circuit convertisseur, dans laquelle des données de type parallèle qui sont commutées par le réseau sont converties sous forme série pour être renvoyées vers le multiplexeur de bas niveau, en vue d'une répartition finale vers les circuits relatifs aux lignes  
20 et aux circuits interurbains, et vers les circuits de service. Comme il a été indiqué de façon générale ci-dessus, 8 bits des données de type parallèle B0-B7, ainsi que des bits de signalisation et de parité B8, B9, sont lus dans la mémoire d'information et transmis par le comparateur de façon à apparaître  
25 sous la forme des signaux CMPB0\*-CMPB9\* à l'entrée du convertisseur parallèle-série. Les boîtiers de résistances 150-152 assurent les terminaisons appropriées. Les bits de données CMPB0\*-CMPB7\* sont appliqués à deux mémoires temporaires à 8 bits, 153, 154, et l'une de ces mémoires dessert chacune des  
30 lignes bus à 96 voies qui est traitée par le circuit convertisseur particulier.

Lorsque les données relatives à la ligne bus associée, c'est-à-dire celle qui est desservie par la mémoire temporaire 153, apparaissent sur les lignes, ces données sont  
35 chargées dans la mémoire temporaire par l'intermédiaire d'une impulsion de chargement parallèle-série, au niveau bas, soit LPSSSTR\*(X), qui est appliquée sur l'entrée d'horloge de la mémoire temporaire 153 par l'intermédiaire d'un inverseur 156.

Simultanément, les signaux CMPB8\* et CMPB9\* sont chargés dans une mémoire temporaire 159. De façon similaire, les données sont chargées dans les deux mémoires temporaires 154, 160, au point approprié de la séquence, grâce à une impulsion de  
5 chargement parallèle-série au niveau bas, pour la voie considérée, soit LPSSTR\*(X + 1), qui est appliquée sur les entrées d'horloge par l'intermédiaire d'un inverseur 157. Il faut environ 1300 ns pour charger ces deux mémoires temporaires, ainsi que les 6 paires similaires relatives aux lignes bus  
10 supplémentaires à 6 voies qui sont desservies par un bloc de réseau particulier. Les autres blocs de réseau exécutent également simultanément la même fonction. A la fin des 1300 ns, le processus est prêt à se répéter.

Avant que ceci commence, les données contenues dans  
15 les mémoires temporaires sont chargées dans un jeu de registres, pour être converties sous forme série. Le registre qui est associé à la mémoire temporaire 153 est formé par deux registres à 4 bits, 161, 162, dans lesquels la sortie  $Q_D$  du registre 161 est reliée aux entrées J et  $\bar{K}$  du registre 162.  
20 Les registres 163, 164 qui sont associés à la mémoire temporaire 154 ont une configuration similaire. Le registre 165 est associé à la mémoire temporaire 159 de façon à recevoir les bits de signalisation et de parité pour la première voie, tandis que le registre 166 remplit la même fonction pour la  
25 seconde voie. Du fait qu'il n'y a que deux bits qui sont extraits des registres 165, 166 sous l'effet des impulsions d'horloge, et du fait que chaque bit est émis deux fois, les entrées A et B sont câblées en parallèle, de même que les entrées C et D. Les données qui proviennent des mémoires tempo-  
30 raires respectives sont chargées dans les registres associés, de même que les données qui correspondent aux autres cartes de convertisseur du bloc, sous la commande d'une impulsion de sortie de chargement de données, au niveau bas, LLDO, qui est mise en forme par un inverseur 168. Les données sont ensuite  
35 extraites des registres par des impulsions d'horloge, avec un intervalle de 162 ns dans le cas des bits 0 à 7, sous la commande d'une impulsion de sortie au niveau bas, d'une période de 162 ns, L1620\*, qui est mise en forme par un inverseur 169. De

façon similaire, les bits de signalisation et de parité sont extraits à une cadence de 324 ns par une impulsion de sortie au niveau bas, d'une période de 324 ns, soit L3240\*, qui est transmise par un inverseur-séparateur 170. En ce qui concerne

5 les registres 161, 162, les données sous forme série apparaissent sur la ligne de sortie 172 qui est connectée en parallèle à 4 circuits d'attaque à 3 états, dans les blocs de circuits d'attaque respectifs 100a-103a (voir la figure 4c). Ces blocs sont associés aux blocs d'entrée 100-103 qui ont été décrits

10 en relation avec la conversion série-parallèle, et ils forment la partie de sortie de l'extrémité de bas niveau du convertisseur série-parallèle-série. Les données série qui proviennent du premier mot de 8 bits sont appliquées à un circuit d'attaque 174 dans le bloc 100a, ainsi qu'à des circuits

15 d'attaque similaires dans les 3 autres blocs. Les données série qui proviennent des registres 163, 164 sont appliquées à un circuit d'attaque 175, ainsi qu'à des circuits d'attaque similaires dans les autres blocs. Les circuits d'attaque 176, 177, ainsi que leurs équivalents dans les 3 autres blocs

20 reçoivent l'information de signalisation et de parité, d'une période de 324 ns, qui provient respectivement des registres 165 et 166. Les références portées sur le dessin indiquent l'identité des données qui sont transmises par les circuits d'attaque respectifs. Par exemple, le circuit d'attaque 174

25 transmet les données MIC parallèle-série qui correspondent au groupe X, soit PSPCM\*G(X). Le circuit d'attaque correspondant dans le groupe 102a, c'est-à-dire le circuit d'attaque pour le bloc 2, transmet les données PSPCM\*G(X + 16), c'est-à-dire le groupe similaire pour le bloc de réseau 2.

30 C'est l'identité du bloc de réseau considéré, et l'état du signal NBDIS qui définissent quels sont les circuits d'attaque actifs dans la transmission du signal. En ignorant ce point pour l'instant, on peut considérer que, comme dans le cas du décodeur 105, l'identité est soit fixe, soit programmable,

35 selon que la carte particulière fonctionne en tant que bloc principal ou que bloc de secours. De ce fait, il existe un décodeur 180 qui reçoit les codes d'identité NBIDOFF\* et NBID1FF\* sur ses entrées, pour fournir un signal de sortie du

type 1 parmi 4 qui adresse l'un des 4 blocs 100a-103a. Comme il a été indiqué en relation avec le décodeur 105, si le circuit doit fonctionner en tant que bloc 0, le signal inversé 0-0 est appliqué sur ses entrées, c'est-à-dire que ses deux bits ID sont à l'état haut, si bien que le signal de sortie 181 passe à l'état bas. Lorsque ce signal est transmis par les séparateurs 182-183, il valide les circuits d'attaque à 3 états, 174, 177. Tous les autres circuits d'attaque à 3 états de cette carte de circuit sont alors hors service. De ce fait, les données sous forme parallèle que reçoit le comparateur sont converties sous forme série, et transmises par les circuits d'attaque appropriés 174-177, pour être renvoyées vers les câbles qui sont desservis par le bloc 0. On comprend maintenant comment le circuit répond aux autres codes d'identification.

Avec une configuration de circuit dans laquelle il existe un bloc de réseau de secours en place en permanence, on utilise un élément qui maintient en permanence l'un des blocs de réseau hors service, de façon qu'il ne puisse y avoir qu'un ensemble complet de blocs en service à un instant donné. Dans ce but, on utilise une fonction de mise hors service de bloc de réseau, NBDIS, et on applique le signal correspondant sur une entrée de mise hors service 185 du décodeur 180. Lorsque cette entrée est placée à l'état haut, le décodeur 180 est mis hors service, et toutes ses sorties sont à l'état haut, ce qui empêche la transmission de signaux par tous les circuits d'attaque des blocs 100a-103a. Il convient de noter qu'il n'existe pas de fonction similaire pour le décodeur 105. Ainsi, même lorsqu'un bloc est hors service, les signaux qui sont engendrés au niveau des lignes, des circuits interurbains, etc, sont transmis par les circuits d'attaque d'entrée série 100-103, commutés dans le réseau, renvoyés sous forme de données en parallèle, puis traités dans les registres 161, etc. On peut effectuer des contrôles de parité et d'autres contrôles opérationnels, comme dans le cas normal. Cependant, si le bloc est hors service, le décodeur 180 met hors service tous les circuits d'attaque de sortie, ce qui évite que ce bloc affecte les câbles qui renvoient les données vers le circuit de

bas niveau, en vue de la répartition vers les lignes, les circuits interurbains, etc. Ainsi, le réseau demeure actif en ce qui concerne le test par le logiciel de maintenance, tout en évitant tout risque que le bloc de réseau sous test affecte  
5 les lignes auxquelles il est connecté.

Comme il est représenté sur la figure 3, les signaux de commande destinés au réseau sont produits par le microprocesseur d'états, et sont appliqués aux circuits d'interface du réseau par l'intermédiaire de l'interface de haut niveau 75 ou  
10 75' qui est à l'état actif. Du fait que l'interface de haut niveau est décrite en détail dans la demande de brevet précitée, on n'en donnera ici qu'une description abrégée.

Comme il est décrit dans la demande de brevet précitée, le complexe de commande est entièrement doublé, et il  
15 comprend des microprocesseurs redondants, et une structure de ligne bus redondante. De ce fait, l'interface de haut niveau, dont le schéma synoptique est représenté sur la figure 5, comprend un certain nombre de multiplexeurs 2/1 qui commandent l'échange des données avec le microprocesseur actif parmi les  
20 microprocesseurs redondants. Un premier multiplexeur 2/1, 201, fait fonction de sélecteur d'adresse, et ses entrées reçoivent les bits d'adresse AO-A15 et le bit de parité d'adresse AP qui proviennent de l'exemplaire 0, ainsi que les bits correspondants qui proviennent de l'exemplaire 1. Un multiplexeur de  
25 sélection de données 203 reçoit sur ses entrées les bits D0-D7 et les bits de parité de données DP qui proviennent des deux exemplaires 0 et 1. Un sélecteur de commande 205 reçoit des signaux de commande d'écriture et de lecture provenant des exemplaires 0 et 1, ainsi qu'un signal de validation de châssis  
30 FE, 206, qui est engendré dans l'interface de haut niveau en réponse à la réception de son adresse caractéristique. Les signaux d'activité de l'exemplaire 0 et de l'exemplaire 1 sont appliqués à un circuit de sélection d'exemplaire, 207, qui  
35 produit un signal de commande pour les multiplexeurs 2/1, ainsi que pour d'autres circuits, comme il apparaît sur le schéma synoptique. Ces signaux ont pour but de sélectionner l'un des deux groupes de signaux d'entrée, en fonction du microprocesseur qui est à l'état actif à l'instant considéré.

Un contrôleur de parité d'adresse 213 et un contrôleur de parité de données 215 examinent chaque mot reçu, dans le but de détecter les erreurs de parité. En cas de détection d'une erreur de parité, un signal d'erreur de parité d'adresse APE, ou un signal d'erreur de parité de données, DPE, selon le cas, est engendré et positionne la mémoire temporaire qui fait partie des mémoires temporaires de mot d'état 230. Le signal d'erreur attaque également le codeur de bon fonctionnement apparent, 211, de façon qu'il applique une impulsion sur la ligne de bon fonctionnement apparent ASW, pour l'exemplaire qui est à l'état actif.

Les bits d'adresse qui sont reçus à partir de l'exemplaire actif du microprocesseur sont partiellement décodés dans l'interface de haut niveau, et sont partiellement transmis aux circuits d'ordre inférieur, pour y être décodés. Les bits d'ordre supérieur A8-A15 sont appliqués à un décodeur d'adresse d'interface de haut niveau, 225, dans lequel ils sont décodés pour donner un signal de validation de châssis 206. Les bits d'ordre supérieur, c'est-à-dire les bits d'adresse A12-A15 doivent présenter une configuration fixe qui est réservée à l'adressage des interfaces de haut niveau, tandis que les bits d'adresse A8-A11 doivent correspondre aux bits câblés dans le plan de connexion arrière pour une carte d'interface de haut niveau particulière, le câblage correspondant étant réalisé à l'aide de cavaliers établissant une liaison ST8-ST11. Lorsque toutes les conditions sont remplies, le signal de validation de châssis apparaît sur la ligne 206, et est renvoyé vers le sélecteur de commande 205, qui peut alors transmettre des signaux de commande à partir du processeur central actif. Les bits d'adresse d'ordre intermédiaire A5-A7 sont transmis à un décodeur de validation d'interface de bas niveau, du type 1 parmi 8, 227, qui produit des signaux de validation de bac de cartes, FLE0-FLE7, qui actionnent des blocs respectifs du matériel de bas niveau. Il existe un détecteur d'erreur du type 1 parmi 8, 229, qui fait en sorte qu'un seul des signaux de validation de bac de cartes soit actif à un instant donné. Si plus d'un signal de validation de bac de cartes est actif, il apparaît un signal d'erreur du type 1 parmi 8, qui est ren-

voyé vers les mémoires temporaires de mot d'état 230, pour positionner une mémoire appropriée parmi elles. Les bits d'ordre inférieur A0-A4 sont transmis par deux inverseurs 226, 228, pour être appliqués aux circuits de niveau inférieur, afin d'être décodés dans ces circuits. En outre, un générateur de parité d'adresse d'interface de bas niveau, 235 émet un bit de parité approprié avec chaque mot d'adresse d'ordre inférieur. Les bits d'adresse LA0-4, inversés par l'inverseur 226, sont également appliqués à un circuit de décodage d'accès de maintenance 231, dans lequel ils sont décodés pour fournir un signal d'accès de maintenance MAC, ainsi qu'à un circuit d'écriture de mot d'état 232, qui commande l'écriture dans les mémoires temporaires de mot d'état, en mode de maintenance. En résumé, on voit que lorsqu'une adresse appropriée apparaît dans le circuit d'interface de haut niveau, elle actionne ce circuit, elle fait apparaître des signaux de validation de bac de cartes, du type 1 parmi 8, et elle provoque la transmission de 5 bits d'adresse, ainsi que les signaux de validation de bac de cartes vers les circuits d'ordre inférieur dans le but d'adresser des éléments particuliers dans ces circuits.

Après avoir considéré l'adressage dans l'interface de haut niveau, on va maintenant considérer les circuits qui sont associés aux mots de données. Les bits de données D0-D7 qui proviennent de l'exemplaire actif, et qui sont transmis par le multiplexeur de sélection de données 203, sont appliqués à une porte de lecture/écriture de données d'interface de bas niveau, 218. Les signaux de commande de cette porte permettent la transmission des bits de données lorsqu'il n'y a pas d'accès de maintenance à l'interface de niveau haut, c'est-à-dire lorsque le signal  $\overline{\text{MAC}}$  est à l'état actif, lorsque la mémoire temporaire de défaut n'est pas positionnée, c'est-à-dire lorsque le signal TRBL est à l'état actif, et lorsque l'impulsion de lecture est à l'état actif. Simultanément, les bits de données D0-D7 et DP sont transmis par la porte 218, et ils apparaissent sous la forme des données de bas niveau LDO-LD7 et LDP dans les circuits d'ordre inférieur, qui sont dans ce cas constitués par l'interface de processeur central B (voir la figure 3). Une porte de commande d'interface de bas niveau, 209,



transmet le signal de lecture R, le signal d'écriture WR, et le signal d'activité du niveau haut, HLA, qui proviennent de l'interface de niveau haut, et qui sont appliqués aux circuits d'ordre inférieur. Comme il sera décrit plus en détail ultérieurement, les données sont acceptées et traitées conformément aux bits de validation de bac de cartes, d'adresse d'ordre inférieur, et de commande qui sont transmis.

Il existe un autre chemin de circulation des données, à partir du circuit de bas niveau, c'est-à-dire les interfaces de processeur central A et B, en direction du processeur central, par l'intermédiaire de l'interface de haut niveau. Dans ce chemin, les bits de données LD0-LD7 qui sont reçus à partir des circuits d'ordre inférieur sont appliqués à une ligne bus de données à 3 états, 240, pour être renvoyés vers l'exemplaire actif du microprocesseur. La ligne bus de données à 3 états 240 est validée par un circuit de sélection mot d'état/données, 243, qui valide cette ligne bus de données à 3 états lorsque le système n'est pas dans le mode de maintenance, c'est-à-dire lorsque le signal  $\overline{\text{MAC}}$  est à l'état actif, et lorsque l'impulsion de lecture R est présente. A ce moment, les bits de données traversent la ligne bus à 3 états pour former les données d'entrée DINO-DIN7 qui sont appliquées à un circuit d'attaque de données 221. Le circuit d'attaque de données 221 reçoit également un signal d'entrée qui provient d'un circuit de commande de circuit d'attaque de données 217, qui reçoit lui-même des signaux d'activité de l'exemplaire 0 et de l'exemplaire 1. Ainsi, des portes appropriées du circuit d'attaque de données 221 sont validées pour permettre aux bits de données de passer vers les lignes DO-D7 de l'exemplaire actif du microprocesseur. De cette manière, les circuits d'ordre inférieur peuvent communiquer en retour avec le microprocesseur.

Il existe d'autres chemins de circulation des données entre l'interface de haut niveau elle-même, et le microprocesseur, en retour. Dans ce cas, les données qui sont contenues dans les mémoires temporaires de mot d'état 230 sont lues et transmises au microprocesseur. Dans ce but, le circuit de sélection de mot d'état/données, 243, commute son conducteur de sortie en réponse au passage à l'état actif du signal de main-

tenance active MAC. La ligne bus de données à 3 états, 240, est mise hors service, et le circuit de sélection de mots d'état 222 est validé. Le circuit de sélection de mots d'état sélectionne un mot parmi deux pour le renvoyer vers le proces-  
5 seur central, en fonction de l'état du bit d'adresse A2. Lorsque l'impulsion d'écriture qui provient de l'exemplaire actif est présente, le mot qui est sélectionné par le bit A2 est lu dans les mémoires temporaires de mot d'état 230, et est appliqué par le circuit de sélection de mot d'état 222  
10 aux circuits d'attaque de données 221, pour être transmis vers l'exemplaire actif, de la manière décrite ci-dessus.

Enfin, le processeur central a la possibilité d'écrire des données dans l'interface de haut niveau, et ceci s'effectue par une transmission directe des bits de données  
15 DO-D7 vers les mémoires temporaires de mot d'état 230, en combinaison avec la transmission d'une impulsion d'écriture par le circuit de sélection de commande 205.

En résumé, le microprocesseur actif possède une commande d'écriture/lecture complète, non seulement sur l'inter-  
20 face de haut niveau, mais également sur les circuits de bas niveau qui sont connectés à cette interface. Le traitement des appels porte essentiellement sur la possibilité d'écrire les données provenant du processeur central dans les circuits d'ordre inférieur. Cependant, l'ensemble des 4 types de circu-  
25 lation des données sont utiles en maintenance, où le processeur central peut mettre en oeuvre une fonction particulière pour déterminer son bon fonctionnement.

En gardant à l'esprit les considérations ci-dessus, on va maintenant considérer les figures 6a-6b qui représentent  
30 un schéma développé de l'interface de processeur central A, portant la référence 76. Les bits d'adresse qui sont engendrés par l'interface de haut niveau, de la manière décrite ci-dessus entrent dans l'interface de processeur central A, 76, par les entrées qui sont représentées à la gauche de la figure 6a.  
35 On a vu précédemment qu'il existait des interfaces de haut niveau redondantes associées au réseau, et les bits d'adresse des deux exemplaires sont disponibles, et comprennent les bits d'adresse d'ordre inférieur LA0-LA4, ainsi que les bits de

parité LAP et d'exemplaires 0 et 1. Tous ces signaux sont appliqués aux entrées d'un sélecteur d'adresse de multiplex 2/1, 301. Seuls deux des signaux de validation de bac de cartes qui sont engendrés dans l'interface de haut niveau sont nécessaires dans le réseau, les signaux FLE4\* et FLE5\* pour les exemplaires 0 et 1 étant appliqués sur les entrées d'un multiplexeur 2/1, 302. Les entrées de commande pour les exemplaires respectifs sont également sélectionnées par le multiplexeur 302, et l'impulsion d'écriture LWR\* et l'impulsion de lecture LRPL\* pour chaque exemplaire sont appliquées sur les entrées de ce multiplexeur. Le signal d'entrée qui est transmis en sortie est déterminé par l'état du signal HLA\*/1, inversé par l'inverseur 303, dont la sortie est branchée aux entrées de sélection des multiplexeurs 301, 302. Le signal d'activité de niveau haut pour l'exemplaire 0, HLA\*/0 est également inversé, dans ce cas par l'inverseur 304, et est appliqué avec le signal de sortie de l'inverseur 303 aux entrées d'une porte OU-EXCLUSIF, 305. A l'état normal, le signal de sortie de cette porte indique qu'une seule interface de haut niveau est à l'état actif. Dans le cas où les deux signaux d'interface de haut niveau apparaissent à l'état actif, la sortie de la porte OU-EXCLUSIF, 305, est commutée à l'état bas pour éviter que l'interface de processeur central A ne réponde.

On va tout d'abord considérer la technique de contrôle de parité que l'on utilise pour détecter les défauts dans les blocs de réseau respectifs. Les bits d'adresse d'ordre inférieur LAO-4 et de parité LAP sont appliqués aux entrées d'un contrôleur de parité 308, et le signal de sortie de ce contrôleur est appliqué sur l'entrée D d'une mémoire temporaire d'erreur de parité d'adresse 309. L'entrée d'horloge de cette mémoire temporaire est commandée par une porte NON-OU, 310 dont la sortie est connectée à une porte ET 311. Ses connexions sont telles qu'il apparaît un signal d'horloge si la bascule 309 est à l'état "0" pour l'une quelconque des fonctions de commande suivantes : lecture de maintenance de bloc de réseau, NEMNTRD, écriture de maintenance de bloc de réseau, NBMNTWR, ou écriture de traitement d'appel de bloc de réseau NBCPWR. Lorsque les conditions appropriées sont remplies, la bascule

est positionnée à "1", de façon à engendrer un signal d'erreur de parité d'adresse APEFF.

Il existe également une bascule d'erreur de parité de données, 314, qui produit un signal DPEFF qui indique la  
5 détection d'une erreur de parité dans les données qui proviennent de l'interface de haut niveau. Les données sont en fait appliquées à l'interface de processeur central B, 77, comme il sera décrit ci-après, qui engendre un signal d'erreur de parité de données de processeur central B, CPUBDPE, qui est  
10 appliqué sur l'entrée D de la bascule 314. Cette bascule reçoit des signaux d'horloge similaires à ceux de la bascule 309, à l'exception du fait qu'elle ne répond pas à la fonction NBMNTRD. Il existe deux autres mémoires temporaires 316, 319, qui indiquent les erreurs de parité à partir des mémoires de connexion 1 et 2, et qui produisent les signaux de sortie  
15 CMOPEFF et CM1PEFF. Le contrôle de parité s'effectue sur chaque mot qui est lu dans la mémoire de connexion, et on utilise ces mots pour adresser la mémoire d'information en vue de la lecture des données MIC qui sont enregistrées. Les  
20 étages à bascules 316, 319 sont, par nature, à deux étages. Par exemple, l'étage 316 possède un premier étage qui introduit le signal d'erreur de parité de la mémoire de connexion 0, CMOPE, dans la bascule 317, sous la commande du signal d'horloge d'erreur de parité de mémoire de connexion,  
25 CMPECLK\* ; et un second étage qui introduit le signal de sortie de l'étage 317 dans la bascule 318, sous la commande d'un signal d'accès de maintenance au bloc de réseau NBMNTACC. L'étage 319 a une configuration similaire.

En retournant maintenant aux signaux d'adresse  
30 entrants, on voit que les 3 bits de moindre poids LA0-LA2 sont décodés par un circuit qui est désigné globalement par la référence 320, pour être utilisés dans l'interface de processeur central A, et sont également isolés par les inverseurs  
321, pour former des signaux d'adresse d'interface de processeur central A, CPUAA0\*-CPUAA2\*, qui sont destinés à être utilisés dans l'interface de processeur central B. Les deux bits  
35 d'adresse d'ordre inférieur de moindre poids, LA3, LA', sont branchés aux entrées de deux comparateurs 323, 324, pour

adresser sélectivement les blocs respectifs du réseau, tandis que le signal FLE5, qui est également appliqué au comparateur, est utilisé pour augmenter la capacité d'adressage, ainsi que pour distinguer entre les fonctions de maintenance et de traitement des appels.

En considérant plus particulièrement les comparateurs, on peut dire de façon générale que le comparateur 323 répond à des instructions de maintenance, tandis que le comparateur 324 répond à des instructions de traitement des appels, bien que, dans certaines circonstances, on puisse également accéder au comparateur 324 pour des fonctions de maintenance. Les entrées de validation des deux comparateurs sont attaquées par le signal de sortie d'une porte OU-EXCLUSIF, 325, dont les entrées reçoivent les signaux FLE4 et FLE5. Ainsi, l'un des signaux FLE4 et FLE5, mais un seul, doit être à l'état haut pour autoriser le processeur à accéder au réseau. Une seconde condition commune est définie par la comparaison à "1" du signal de sortie de la porte OU-EXCLUSIF, 305, dans les deux comparateurs. Les signaux d'entrée de la porte sont les signaux HLA0 et HLA1. Ainsi, l'une des interfaces de haut niveau, mais une seule, doit être activée pour autoriser le processeur à accéder au réseau.

En considérant maintenant spécialement le comparateur de maintenance 323, on voit qu'il reçoit 3 signaux d'entrée, désignés par les références NBID0-NBID2, qui sont destinés à être comparés respectivement avec les signaux LA3-LA4 et FLE5. Les fonctions qui correspondent aux signaux NBID0-2 sont câblées dans le plan de connexion arrière de chaque bloc de réseau, pour leur affecter une adresse de maintenance. Dans le cas des blocs principaux, les signaux NBID0 et 1 acheminent les codes ID indiqués dans le tableau précédent, tandis que le signal NBID2 est dans tous les cas à "0". Dans le cas du bloc de secours, le signal NBID2 est câblé à l'état haut, tandis que les signaux NBID1 et 0 sont câblés tous deux à l'état bas. Ces 3 niveaux d'adresse sont comparés avec les signaux LA3, LA4 et FLE5. En d'autres termes, pour un accès de maintenance, les deux bits de plus fort poids du signal d'adresse d'ordre inférieur acheminent le code d'identification du bloc particulier

(ou 0-0 pour le bloc de secours), tandis que le signal FLE5 doit être à l'état bas pour adresser les blocs principaux, ou à l'état haut pour adresser le bloc de secours. Ainsi, lorsque l'une des interfaces de haut niveau présente ces 3 bits à l'interface de processeur central, et lorsque les signaux FLE4 et 5 sont dans des états opposés, la condition que vérifie le comparateur 323 est remplie, et ce comparateur produit un signal de sortie qui autorise la fonction de maintenance à effectuer des opérations de lecture ou d'écriture au niveau des accès de maintenance, dans le bloc.

Exactement comme dans le cas du comparateur 323, le comparateur 324 reçoit les signaux LA3, LA4 et FLE5 à partir de l'interface de haut niveau. Il compare les signaux LA3 et LA4 avec les signaux respectifs PNBID0 et PNBID1. Ces deux derniers bits sont câblés pour les blocs principaux, et correspondent à l'identité qui est affectée au bloc considéré, et ils sont programmables pour le bloc de réserve, si bien que ce dernier peut prendre l'identité de n'importe quel bloc principal. Le signal FLE5 est comparé avec le signal PNBID2, qui est engendré par l'interface de processeur central A elle-même. Le bit PNBID2 est programmé par maintenance à "0" pour n'importe quel bloc qui est considéré comme étant en service, en ce qui concerne la commande, ou à "1" dans le cas du bloc hors service. La commande commune donne alors à toutes les instructions normales de traitement d'appel une configuration dans laquelle le bit FLE5 est à l'état bas (et le bit FLE4 est à l'état haut) si bien que la condition que vérifie le comparateur 324 est remplie. Ceci correspond à la situation normale dans laquelle la commande commune accède à un bloc de réseau pour écrire une connexion dans ce bloc. Cependant, comme on le verra ultérieurement, il est également souhaitable de pouvoir écrire des connexions avec la fonction de maintenance, et cette possibilité n'est pas assurée par les accès de maintenance. De ce fait, la fonction de maintenance a la possibilité de positionner à "1" le bit PNBID2 sur la carte d'interface de processeur central A, puis d'engendrer une instruction de traitement d'appel dans laquelle le bit FLE5 est à l'état haut, si bien que la condition qui est vérifiée par le comparateur 324 est remplie. L'impor-

tance de cette possibilité ressortira mieux après la considération de l'interface de processeur central B.

Lorsque la commande commune désire accéder à un bloc de réseau particulier, en mode de maintenance, elle émet  
5 l'adresse appropriée qui remplit la condition que vérifie le comparateur 323, dans le bloc considéré, et ce comparateur produit alors un signal de sortie qui est utilisé dans le circuit de décodage 326 pour accomplir la fonction de maintenance désirée. Par exemple, une porte NON-ET 327 associe le code  
10 d'accès de maintenance avec l'impulsion de lecture au niveau bas LRPL, pour produire un signal NBMNTRD qui correspond à une fonction de lecture de maintenance de bloc de réseau. Une porte NON-ET 328 associe le signal d'accès de maintenance avec le signal CPUAA2, et l'impulsion d'écriture d'ordre inférieur  
15 LWR, pour produire un signal NBMNTWR qui correspond à une fonction d'écriture de maintenance de bloc de réseau.

Le signal de sortie du comparateur de traitement d'appel 324 est décodé dans les circuits à portes, avec la fonction d'écriture, pour donner les signaux de commande de traitement d'appel désirés.  
20 Une porte NON-ET 330 associe le signal d'accès de traitement d'appel qui est produit par le comparateur 324 avec le signal CPUAA2\* qui apparaît en sortie de l'inverseur 331, et avec le signal d'écriture à l'état bas LWR, pour produire un signal d'écriture de traitement d'appel de bloc de réseau, NBCPWR.  
25 Il est engendré d'autres signaux qui affectent simultanément tous les blocs de réseau, et qui ne sont pas associés avec les adresses particulières qui sont décodées par le comparateur 324. Ces signaux sont constitués par le signal d'horloge d'écriture au niveau bas LLCWR\* qui apparaît en sortie de  
30 l'inverseur 333, et le signal d'horloge de lecture au niveau bas LLCRPL\* qui apparaît en sortie de l'inverseur 334. Ces signaux prennent l'état actif lorsqu'une impulsion d'écriture, ou une impulsion de lecture, respectivement, est transmise par le circuit d'interface de haut niveau.

35 En considérant à nouveau les circuits des portes 320 qui décodent les signaux CPUAAO-CPUAA2, on voit qu'il existe une porte ET 340 qui decode le signal CPUAAO\* apparaissant en sortie de l'inverseur 341, le signal CPUAA1\* qui apparaît en sortie de l'inverseur 342, et le signal d'écriture  
40 de maintenance de bloc de réseau NBMNTWR, qui est décodé par la porte ET 328 et est transmis à la porte 340 par l'inverseur

343. Dans ces conditions, le signal de sortie de la porte 340 est à l'état actif lorsque le processeur central adresse l'interface de haut niveau, et en particulier un bloc de cette interface en mode de maintenance, alors que les bits d'adresse d'ordre inférieur LA0 et LA1 sont dans la configuration appropriée. Le signal de sortie de la porte ET 340 valide partiellement une porte NON-ET 345 (figure 6b), de façon à transmettre le bit 3 des données de processeur central, soit CPUD3, par l'intermédiaire de la porte 346, qui fait fonction de séparateur, pour donner un signal d'effacement d'erreur de parité d'interface de comparateur, soit CIPECLR\*.

Le signal de sortie de la porte ET 340 valide également partiellement deux portes ET 348, 349 dont les entrées reçoivent respectivement les signaux CPUDB0 et CPUDB1. Les signaux de sortie de ces portes commandent une bascule de défaut 351. Ainsi, lorsque la condition qui est définie par la porte ET 340 est remplie, le bit de données 0 de processeur central est capable de positionner la bascule de défaut 351, tandis que le bit de données 1 de processeur central est capable de remettre cette bascule à zéro. Lorsque la bascule est positionnée, sa sortie Q passe à l'état haut, ce qui fait apparaître un signal de bascule de défaut de bloc de réseau à l'état actif, soit NBTBLFF, par l'intermédiaire de deux inverseurs 352, 353. En outre, le signal qui correspond à la sortie Q à l'état haut, est transmis par une porte NON-OU 355 et un inverseur 356, pour produire un signal qui correspond à une fonction de mise hors service de bloc de réseau à l'état haut, soit NBDIS. On rappelle que ce signal est celui qui est appliqué à la carte d'interface série-parallèle-série pour mettre hors service les circuits d'attaque à 3 états qui appliquent des données sur les lignes bus de retour, en direction des multiplexeurs de bas niveau. Ainsi, le fait de positionner la bascule de défaut 351 met hors service le bloc de réseau considéré, en ce qui concerne les données qui retournent vers le multiplexeur de bas niveau. La remise à zéro de la bascule remet en service le bloc considéré. Le signal de la sortie  $\bar{Q}$  à l'état haut est également transmis par un inverseur 357, pour produire un signal de



sélection de multiplex de mémoire d'information, à l'état haut, soit IMMUXSL, qui est utilisé dans les circuits de mémoire d'information du réseau, pour commander la circulation des données.

5                   En retournant au circuit de décodage 320, on voit qu'il existe une autre porte ET 360, qui est validée lorsque les signaux CPUAAO et AA1 sont tous deux à l'état haut, en présence d'un signal d'écriture de maintenance de bloc de réseau, NBMNTWR, qui est appliqué par l'intermédiaire d'un  
10 inverseur 343. Le signal de sortie de la porte ET 360 valide partiellement plusieurs portes ET 362-367, pour permettre au processeur d'écrire dans les mémoires temporaires, ou bascules 370-372, lorsqu'elles sont adressées. Dans le cas des blocs principaux, il suffit de pouvoir écrire dans la bascule 370,  
15 tandis que dans le cas du bloc de secours, il faut pouvoir écrire dans toutes les bascules. Les éléments de circuit réels ont une configuration qui est très similaire à celle qui a été décrite en relation avec la bascule 351, et on ne décrira donc pas cette configuration en détail. On utilise le  
20 bit de données 0\* pour écrire dans la bascule 372, et l'état bas a pour fonction de positionner la bascule, tandis que l'état haut a pour fonction de la remettre à zéro. Lorsque la bascule 372 est positionnée, sa sortie Q fournit un signal de bascule d'identification de bloc de réseau 0, à l'état haut,  
25 soit NBIDOFF, et un signal correspondant à l'état bas, NBIDOFF\*. La remise à zéro de la bascule donne la condition opposée. Le signal CPUBD1\* commande de façon similaire la bascule 371 pour donner un signal NBID1FF à l'état haut lorsque la bascule est positionnée. Enfin, le bit de données  
30 2 de processeur central, CPUDB2\*, commande l'écriture dans la bascule 370, pour donner un signal PNBID2 à l'état haut lorsque cette bascule est positionnée. On voit maintenant que le processeur central commande les bascules 370-372 dans le but de produire des signaux d'adresse de bascule qui affectent  
35 une identité au bloc de secours, et dans le but de commander l'état du signal PNBID2, pour tous les blocs.

L'affectation des identités des blocs s'effectue de la manière suivante. Pour les blocs principaux, les signaux

PNBIDO et 1, qui sont appliqués à l'entrée du convertisseur série-parallèle-série (figures 4a-4c), ainsi que de l'interface de processeur central A (figures 6a-6b) font l'objet de câblages fixes dans le plan arrière. En ce qui concerne le

5 bloc de secours, les états de ces signaux d'entrée sont commandés par les bascules 372, 371, qui sont programmables. Pour tous les blocs, c'est-à-dire pour les blocs principaux comme pour le bloc de secours, l'état du signal PNBID2 est programmable à l'aide de la bascule 370. Le complexe de commande peut

10 programmer le bit ID2 de n'importe quel bloc pour commander la réponse de ce dernier à des instructions d'écriture de traitement d'appel. Ce bit peut être programmé pour faire en sorte qu'un bloc réponde à des instructions d'écriture de traitement d'appel de maintenance, tout en ignorant les instructions

15 d'écriture de traitement d'appel ordinaires, ou inversement. Enfin, la bascule de défaut 351 peut être programmée pour tous les blocs, c'est-à-dire les blocs principaux comme le bloc de secours, pour commander la réponse du réseau en ce qui concerne l'information qui traverse ce réseau. Lorsque la

20 bascule qui correspond à un bloc particulier est positionnée, le signal NBDIS à l'état haut qui est produit par la bascule 351 commande le convertisseur série-parallèle-série (figures 4a-4c), de la manière décrite précédemment, pour mettre simplement hors service les sorties du bloc, si bien que ce bloc se

25 trouve hors service en ce qui concerne la circulation de l'information MIC.

Une telle configuration offre une grande souplesse. En ce qui concerne la circulation de l'information MIC dans le réseau, la configuration du réseau est commandée par les

30 bascules de défaut respectives. Ces bascules sont programmées de façon qu'un bloc soit toujours hors service, ce qui maintient en permanence un ensemble complet de blocs en service. L'accès aux blocs de réseau respectifs par le complexe de commande n'est pas limité par la bascule de défaut. Le complexe

35 de commande peut accéder sélectivement à n'importe quel bloc en mode de maintenance, grâce à leurs adresses câblées, et au comparateur 323. Par des manipulations appropriées du bit PNBID2, le complexe de commande peut écrire des connexions dans

un bloc en service, dans un bloc hors service, ou dans ces deux blocs en parallèle. En outre, ces connexions peuvent être écrites soit en mode de maintenance, soit en mode ordinaire de traitement d'appel.

5           A titre d'exemple, si la fonction de maintenance positionne la bascule 370 pour un bloc particulier de façon à faire apparaître un signal PNBID2 à l'état haut, en tenant compte du fait que le signal FLE5 est toujours à l'état bas pour les cycles ordinaires d'écriture de traitement d'appel, 10 on voit que ce bloc ne peut pas répondre à ces instructions. Ainsi, si la fonction de maintenance affecte au bloc de secours l'identité d'un bloc principal, et désire écrire des connexions dans le bloc de secours mais non dans le bloc principal, elle peut simplement positionner le bit PNBID2 à l'état haut pour 15 le bloc principal et à l'état bas pour le bloc de secours, si bien que le bloc principal ne répond pas aux instructions d'écriture de traitement d'appel. Ceci peut en outre être effectué même si le bloc principal fonctionne activement pour le maintien de connexions. Lorsqu'on désire faire en sorte que 20 le bloc principal réponde à nouveau aux cycles d'écriture de traitement d'appel, on ramène le bit PNBID2 par la fonction de maintenance, si bien que le comparateur 324 peut à nouveau répondre. Selon une variante, la fonction de maintenance peut positionner le bit FNBID2 à l'état haut pour le bloc de 25 secours et à l'état bas pour le bloc principal, et utiliser les instructions de traitement d'appel de maintenance pour écrire des connexions dans le bloc de secours mais non dans le bloc principal. En tenant compte de ce que le complexe de commande adresse simplement le réseau comme une zone de mémoire 30 pendant le traitement d'appel, on voit que cette fonction de maintenance peut donner au réseau une configuration telle que lorsque la zone est adressée, c'est le bloc principal, ou le bloc de secours, ou les deux qui répondent. Ainsi, bien que la fonction de traitement d'appel adresse un élément de matériel physiquement différent après une commutation de bloc, il 35 n'est pas nécessaire de modifier les instructions correspondantes.

Dans l'exemple de réalisation de l'invention qui est

considéré, on peut programmer les identités de bloc soit de façon automatique, par l'intermédiaire du complexe de commande commun, soit de façon manuelle, par l'intervention d'un technicien. Comme il a été indiqué précédemment, en mode de maintenance le complexe de commande a la possibilité d'écrire dans les bascules 351, 370-372, dans le but d'échanger le bloc de secours et l'un quelconque des blocs principaux. La possibilité de réaliser manuellement cette opération est assurée par un panneau de maintenance qui est associé au châssis de matériel du réseau. Ce panneau comporte des éléments qui permettent de commander l'identification et les bascules de défaut, et ces éléments sont représentés de façon simplifiée sur la figure 6b sous la forme d'un groupe d'interrupteurs à bouton-poussoir 380-387. Ces interrupteurs appliquent des signaux d'entrée aux portes associées 388-395, qui sont des portes NON-ET en logique négative. Ces portes ont elles-mêmes pour fonction de positionner ou de remettre à zéro les bascules associées 351, 370-372. Un signal de blocage pour les portes NON-ET 388-395 provient de la sortie du décodeur de maintenance 323, et ce signal a pour but d'empêcher une commutation manuelle lorsqu'une interface de processeur central A particulière fait l'objet d'un accès en mode de maintenance. Cependant, à tout autre moment, toutes les portes NON-ET mentionnées ci-dessus sont partiellement validées, si bien que le fait d'appuyer sur l'un quelconque des interrupteurs à bouton-poussoir 380-387 actionne la bascule associée. Par exemple, le fait d'appuyer sur l'interrupteur 380 fait apparaître un signal MPNBID2S\*, correspondant à une fonction de positionnement du bit d'identification 2 du bloc de réseau, pour le panneau de maintenance. Le signal MPNBID2S\* est appliqué à la bascule 370, ce qui fait passer sa sortie Q à l'état haut. L'interrupteur 381 a pour fonction de remettre à zéro la bascule 370. De façon similaire, les interrupteurs 382 et 383 positionnent et remettent à zéro la bascule de bit d'identification 1, 371, tandis que les interrupteurs 384 et 385 positionnent et remettent à zéro respectivement la bascule de bit d'identification 0, 372. Enfin, les interrupteurs 386 et 387 positionnent et remettent à zéro, respectivement, la

bascule de défaut 351. On voit ainsi qu'un technicien a l'entière possibilité d'affecter n'importe quelle identité au bloc de réseau de secours, d'échanger le bloc de secours avec n'importe quel bloc principal, et de commuter sélectivement les blocs en service ou hors service, aussi bien en ce qui concerne la commande que la commutation de l'information MIC.

On considérera maintenant les figures 7a-7d, qui représentent les circuits de l'interface de processeur central B, 77. Comme il a été indiqué précédemment, l'interface de processeur central B est active aussi bien en mode de maintenance qu'en mode de traitement d'appel. La ligne bus de données qui relie l'interface de processeur central B à l'interface de haut niveau est représentée en 400 (voir la figure 7a), et elle comprend des bits de données d'ordre inférieur et des bits de parité LDO-LD7, LDP, pour les interfaces de haut niveau correspondant à l'exemplaire 0 et à l'exemplaire 1. Ces signaux sont appliqués à un multiplexeur 2/1, 401, dont l'entrée de sélection est attaquée par le signal HLA\*/1, qui est transmis par un inverseur 402. Ainsi, les bits de données D0-D7 et le bit de parité DP qui proviennent de l'interface de haut niveau qui est à l'état actif apparaissent sur les sorties du multiplexeur 401. Un contrôleur de parité 404 effectue un contrôle de parité, et il produit un signal d'erreur de parité CPUBDPE, en cas de détection d'une erreur. Les bits de données D0-D6 sont appliqués aux entrées d'un registre de données d'ordre inférieur 405, et d'un registre de données d'ordre supérieur 406 (voir la figure 7b). De façon similaire, les bits de données D0-D7 sont appliqués à un registre d'adresse d'ordre inférieur 407, et les bits de données D0-D5 sont appliqués à un registre d'adresse d'ordre supérieur 408 (voir la figure 7c). Ainsi, lorsqu'un bloc de réseau particulier est adressé, le complexe de commande a la possibilité de charger sélectivement des données dans chacun des 4 registres précités. On décrira ultérieurement comment s'effectue cette opération, et il suffit de savoir pour l'instant que des données sont chargées dans les registres de données d'ordre inférieur et d'ordre supérieur, et indiquent le numéro de l'intervalle élémentaire de réseau d'une connexion à effectuer. En outre, des données sont char-

gées dans les registres d'adresse d'ordre supérieur et d'ordre inférieur, et indiquent l'adresse de mémoire de connexion à laquelle la connexion doit être écrite.

En considérant tout d'abord les registres d'adresse  
5 407, 408, on voit que les signaux de sortie de ces registres traversent un groupe de circuits d'attaque à 3 états, 410 (voir la figure 7d), lorsque ces circuits d'attaque sont actionnés par le signal de sortie  $Q_D$  d'un compteur à 4 bits, 411. Ce signal est appliqué sur les entrées de validation des  
10 circuits d'attaque par l'intermédiaire d'un inverseur 412. Les données de sortie des circuits d'attaque sont ensuite disponibles pour être chargées en parallèle dans un compteur 414. Les signaux de sortie du compteur sont ensuite appliqués à des séparateurs constitués par des circuits d'attaque inverseurs  
15 415, de façon à fournir des signaux d'adresse de mémoire de connexion CMAO\*-CMA9\*, un signal de bascule de données de mémoire de connexion CMDL\*, et, par l'intermédiaire de deux inverseurs 416, 417, un signal d'horloge d'erreur de parité de mémoire de connexion, CMPECLK\*.

De façon similaire, les signaux de sortie des registres d'ordre inférieur et d'ordre supérieur 405, 406, sont appliqués à des circuits d'attaque inverseurs 420, qui donnent des signaux de données de mémoire de connexion CMDO\*-CMD5\*,  
25 CMD7\*-CMD12\* et des bits de parité d'ordre inférieur et d'ordre supérieur CMDPLO\* et CMDPHI\*. Les circuits d'attaque qui font partie du groupe 420 reçoivent également directement les bits de données DO-D3, pour produire des bits de données de processeur central CPUBDO\*-CPUBD3\*, qui sont utilisés dans le fonctionnement de l'interface de processeur central A,  
30 comme il a été décrit précédemment. On rappelle que, parmi les fonctions de ces bits, figurent le positionnement et la remise à zéro des bascules d'identification et de défaut 370-372 et 351.

Avant de passer au fonctionnement des circuits qui  
35 viennent d'être décrits, on considérera les deux décodeurs 425, 426 (figure 7b) qui interviennent également dans l'opération d'écriture de connexions dans la mémoire de connexion. Lorsque les registres d'adresse et de données d'ordre supérieur

et d'ordre inférieur sont pleins, les comparateurs répondent à des bits particuliers dans le registre d'adresse d'ordre supérieur, dans le but d'engendrer des signaux d'écriture pour la mémoire de connexion 0, ou la mémoire de connexion 1. Il faut  
5 noter ici que les mémoires de connexion ne sont pas redondantes, mais constituent les deux mémoires de connexion qui sont utilisées lorsque la configuration du réseau correspond à une conférence téléphonique à trois. Ainsi, lorsqu'on établit une conférence à trois, il est nécessaire d'écrire les numéros  
10 d'intervalles élémentaires des interlocuteurs 2 et 3 dans les positions qui correspondent à l'interlocuteur 1, dans les mémoires de connexion respectives 0 et 1. On écrit des connexions similaires pour chacun des trois interlocuteurs.

On voit que l'entrée de validation des comparateurs  
15 425, 426 est attaquée par le signal de sortie d'une bascule de registre intermédiaire plein, 428 qui, comme il apparaîtra mieux ultérieurement, produit un signal de registre intermédiaire plein, à l'état haut, lorsque les 4 registres intermédiaires sont chargés avec les données qui correspondent à une  
20 connexion à écrire. Lorsque les comparateurs 425, 426 sont validés, ils comparent les signaux des sorties 3Q, 4Q et 6Q du registre d'adresse d'ordre supérieur 408 avec les signaux respectifs PNBID0, PNBID1 et PNBID2. Ainsi, les troisième et quatrième bits du registre d'adresse d'ordre supérieur sont  
25 comparés avec le code d'identité de bloc de réseau, qui est câblé dans le cas des blocs principaux et est programmé dans le cas d'un bloc de secours. Le sixième bit est comparé avec le bit programmé PNBID2 qui, compte tenu des limitations indiquées précédemment qui sont imposées aux comparateurs 323,  
30 324 de l'interface de processeur central A, doit être un "0" pour les cycles normaux d'écriture de traitement d'appel, et un "1" pour les cycles d'écriture de traitement d'appel de maintenance. Enfin, le cinquième bit du registre d'adresse d'ordre supérieur est comparé avec un "0" dans le comparateur  
35 425, et avec un "1" dans le comparateur 426. Ce cinquième bit est programmé de façon à sélectionner la mémoire de connexion 0 ou 1, si bien que lorsqu'il est à "0", c'est la condition vérifiée par le comparateur 425 qui est remplie, tandis que

lorsqu'il est à "1", c'est la condition vérifiée par le compa-  
rateur 426 qui est remplie. Les signaux de sortie des compara-  
teurs 425, 426 sont appliqués sur les entrées D de bascules  
respectives 430, 431, et les signaux de sortie de ces bascules  
5 sont appliqués à des portes 432, 433, pour former les signaux  
d'écriture des mémoires de connexion respectives, CMOWR et  
CM1WR. En outre, les signaux de ces portes sont appliqués à  
une porte NON-OU 434, dont la sortie attaque l'entrée d'horlo-  
ge d'un multivibrateur monostable 436, qui produit un signal  
10 d'effacement CLR qui est utilisé pour restaurer certaines  
parties des circuits d'écriture.

La structure et le fonctionnement du reste des élé-  
ments du circuit ressortiront de la description ultérieure  
d'un cycle de fonctionnement. Cependant, il convient tout  
15 d'abord de noter que l'interface de processeur central B  
adresse les mémoires de connexion non seulement pour écrire de  
nouvelles connexions, comme il vient d'être décrit, mais  
également au cours du cycle de fonctionnement normal du  
réseau, au cours duquel les positions des mémoires de conne-  
20 xion sont adressées séquentiellement dans le but de lire les  
connexions qui ont été écrites précédemment, afin d'utiliser  
cette information pour adresser les mémoires d'information.  
On rappellera également que chaque bloc de réseau possède  
772 intervalles élémentaires, soit 768 qui sont affectés aux  
25 voies actives, et 4 perdus pour la formation de la trame.  
Dans l'exemple de réalisation considéré, c'est pendant les  
4 intervalles élémentaires de formation de trame, lorsque  
les voies actives ne sont pas adressées, que la mémoire de  
connexion est disponible pour recevoir une nouvelle informa-  
30 tion de connexion à partir du complexe de commande commun.  
Enfin, il ressortira de la description qui suit qu'on utilise  
à la fois les compteurs 414 pour adresser séquentiellement les  
positions de mémoire de connexion, pour le traitement d'appel,  
et pour adresser des positions particulières, pendant l'inter-  
35 valle de restauration ou de formation de trame, pour écrire  
de nouvelles connexions.

Compte tenu des considérations précédentes, on voit  
que le compteur 414 est branché en compteur modulo 4096. Ce



compteur reçoit des signaux d'horloge d'une période de 41 ns qui sont produits par l'horloge de bas niveau, et son cycle se termine au cours de l'intervalle de restauration, sous l'effet d'autres signaux qui proviennent de l'horloge de bas niveau.

- 5 L'impulsion de restauration a une largeur de 648 ns, et une période de 125  $\mu$ s.

En supposant que l'on se trouve au début d'un intervalle de restauration, et qu'aucune donnée de connexion n'est chargée dans les registres, pour être écrite dans les mémoires  
10 de connexion, le signal de restauration CMRST est inversé par l'inverseur 440, si bien qu'il apparaît sur l'entrée D d'une bascule 441. Ce signal est introduit dans la bascule 80 ns plus tard, sous la commande d'une impulsion d'horloge de mémoire de connexion, au niveau bas, de 81 ns, soit LCM81\*,  
15 qui est inversée par l'inverseur 442. Dans ces conditions, la sortie Q de la bascule 441 est à nouveau à l'état bas, et cet état bas apparaît sur l'entrée D d'une seconde bascule 444. Cet état bas est introduit dans la bascule 444 au bout de 41 ns, par le signal LCM41\*, qui est inversé par l'inverseur 445. Le signal à l'état bas qui apparaît sur la sortie Q  
20 de la bascule 444 est appliqué sur les entrées de chargement des compteurs 414. Comme il apparaîtra mieux ultérieurement, pendant la seconde moitié de chaque impulsion de restauration de 648 ns, CMRST, les circuits d'attaque à 3 états 410 sont  
25 hors service. Dans ces conditions, toutes les entrées des compteurs sont à l'état haut, du fait des résistances qui sont connectées entre ces entrées et la borne d'alimentation positive. Ainsi, l'impulsion d'horloge de 41 ns suivante, LCM41, qui est appliquée sur les entrées d'horloge des compteurs 414  
30 fait passer à "1" tous les étages de ces compteurs. A la fin de l'impulsion de restauration, c'est-à-dire lorsque le signal CMRST retourne à l'état bas, ce signal est transmis par les bascules 441, 444, comme précédemment, pour faire disparaître le signal de chargement qui est appliqué aux  
35 compteurs 414. Du fait que les compteurs demeurent dans l'état dans lequel tous leurs étages sont à "1", l'impulsion d'horloge de 41 ns suivante fait avancer les compteurs pour les amener au compte de 0, ce qui adresse la première position de la

mémoire de connexion, par l'intermédiaire des lignes d'adresse CMAO\*-CMA9\*. On rappelle que chaque intervalle élémentaire a une largeur de 162 ns, et, en tenant compte du fait que les compteurs 414 reçoivent des signaux d'horloge d'une période de 41 ns, on voit que l'adresse de la mémoire de connexion, dont le bit de moindre poids est prélevé à partir du troisième étage du compteur, change avec une période de 162 ns. Le second bit du compteur 414 est inversé pour produire un signal CMDL\*, si bien que ce signal présente une transition de sens descendant au point à 81 ns de chaque intervalle de 162 ns. Le signal CMDL\* a pour fonction d'enregistrer temporairement des données qui sont lues à partir de la position de mémoire de connexion qui est adressée, et ces données enregistrées temporairement sont ensuite utilisées pour adresser la mémoire d'information, dans le but de lire un échantillon à partir du poste téléphonique qui est connecté. A la fin de la période de 162 ns, le second bit du compteur 414 est à nouveau commuté, et, par l'intermédiaire des inverseurs 416, 417, ce bit produit une transition de sens descendant dans le signal d'horloge d'erreur de parité de mémoire de connexion, CMPECLK\*, qui a pour fonction d'enregistrer en mémoire temporaire l'état d'erreur de parité, à partir des cartes de mémoire de connexion. A ce point, l'adresse de mémoire de connexion est également incrémentée d'une unité. Lorsque le compteur atteint le compte de 767, l'impulsion de restauration retardée recharge à nouveau des "1" dans tous les étages du compteur, de la manière décrite précédemment. A ce moment, l'ensemble des 768 positions de la mémoire de connexion ont été lues, et le cycle est prêt à recommencer.

Avant de décrire le cycle correspondant dans le cas où on doit écrire une nouvelle connexion, on considérera tout d'abord la manière dont s'effectue le chargement des registres de données et d'adresse, avant le cycle d'écriture de la mémoire de connexion. On notera en passant que cette opération de chargement peut s'effectuer pendant que le compteur 414 adresse séquentiellement la mémoire de connexion.

Le chargement des registres d'adresse et de données s'effectue sous la commande d'un circuit de décodage qui est

désigné globalement par la référence 450. Les bits d'adresse de processeur central A, soit CPUAAO\*, CPUAA1\*, décrits en relation avec les figures 6a-6b, sont décodés et associés avec le signal d'écriture de traitement d'appel de bloc de réseau NBCPWR, dans le but de charger les 4 registres considérés. Pour la première opération d'écriture, les deux signaux CPUAAO\* et CPUAA1\* sont à l'état haut, si bien que lorsque le signal NBCPWR passe à l'état haut, la porte ET 451 est validée de façon à charger les bits de données D0-D5 dans le registre d'adresse d'ordre supérieur 408. Pour la seconde opération d'écriture, le signal CPUAAO\* est amené à l'état bas, tandis que le signal CPUAA1\* demeure à l'état haut, si bien qu'en présence du signal NBCPWR, la porte ET 452 est validée, ce qui introduit les bits de données D0-D7 dans le registre d'adresse d'ordre inférieur 407. Ainsi, le registre d'adresse d'ordre inférieur contient maintenant les bits d'adresse de mémoire de connexion 0-9, deux bits qui correspondent aux bits d'identification ID 0 et ID 1, un bit de sélection de la mémoire de connexion 0 ou de la mémoire de connexion 1 pour l'écriture, et un bit PNIB2 qui établit une distinction entre le traitement d'appel et les cycles d'écriture de traitement d'appel de maintenance.

Pour la troisième partie du cycle de chargement, le signal CPUAAO\* est à l'état haut, tandis que le signal CPUAA1\* est à l'état bas, si bien qu'en présence du signal NBCPWR, la porte ET 453 est validée. La sortie de cette porte est connectée à l'entrée d'horloge du registre de données d'ordre supérieur, ce qui introduit les bits D0-D6 dans ce registre. Enfin, pour la quatrième partie du cycle d'écriture, les deux signaux CPUAAO\* et CPUAA1\* sont à l'état haut, si bien qu'en présence du signal NBCPWR, la porte ET 454 est validée, et introduit les bits de données D0-D6 dans le registre de données d'ordre inférieur 405. Le registre de données contient maintenant deux multiplats de données, avec chacun un bit de parité, qui indiquent la connexion qui doit être écrite dans la mémoire de connexion. Le bit de données D7 est toujours à l'état haut pendant le dernier cycle d'écriture, et ce bit est appliqué sur l'entrée D d'une bascule de registre

intermédiaire plein , 428, dont l'entrée d'horloge est attaquée par la porte ET 454. Ainsi, pendant la quatrième phase du cycle de chargement, la bascule de registre intermédiaire plein 428, reçoit un signal d'horloge qui fait passer sa sortie Q à l'état haut, et fait apparaître un signal de registre intermédiaire plein, BFL. Ce signal valide les comparateurs 425, 426, si bien que l'un ou l'autre de ces derniers produit un signal à l'état haut, en fonction de l'état du registre de bits d'adresse d'ordre supérieur. C'est l'identité de la mémoire de connexion qui doit faire l'objet d'une opération d'écriture qui définit celui des comparateurs qui est validé. Le signal de sortie est maintenu sur l'entrée D correspondante de l'une des bascules 430 ou 431, en préparation de l'intervalle de restauration qui est décrit ci-après.

Exactement comme dans le cas qui vient d'être décrit, 121 ns après la montée du signal CMRST, le signal à l'état bas qui provient de la bascule 441 est introduit dans la bascule 444, ce qui fait passer sa sortie Q à l'état bas et sa sortie  $\bar{Q}$  à l'état haut. Le front montant du signal qui apparaît sur la sortie  $\bar{Q}$  constitue un signal d'horloge pour les bascules 430, 431, si bien que le signal à l'état haut qui est présent sur l'entrée de l'une de ces bascules, par exemple la bascule 430, fait passer sa sortie Q à l'état haut. Simultanément, le signal  $\bar{Q}$  à l'état haut fait disparaître le signal de chargement qui était appliqué précédemment au compteur à 4 bits 411, ce qui prépare ce compteur pour la suite du fonctionnement, en faisant passer toutes ses sorties à "1". Au moment de la transition suivante du signal LCM41, qui apparaît 41 ns plus tard, le compteur 411 reçoit un signal d'horloge qui fait passer tous ses étages à l'état "0". Le signal à l'état bas qui correspond à la sortie  $Q_p$ , inversé par l'inverseur 412, est appliqué sur les entrées de validation des circuits d'attaque à 3 états 410. Du fait que l'entrée de chargement du compteur 414 a été commutée à l'état bas au moment où la bascule 444 a changé d'état, lorsque l'impulsion d'horloge de 41 ns suivant apparaît et est appliquée sur les entrées d'horloge du compteur 414, les données qui proviennent des registres de bit d'adresse d'ordre supérieur et d'ordre inférieur sont

transmises par les circuits d'attaque à 3 états, et sont introduites dans le compteur 414. De ce fait, le compteur 414 contient maintenant l'adresse qui était chargée précédemment dans les registres 407, 408, et les signaux de sortie des circuits d'attaque 415 adressent la position correspondante dans la mémoire de connexion. L'impulsion d'horloge qui a chargé le compteur 414 a également fait avancer le compteur 411 jusqu'au compte de 1. Les impulsions d'horloge suivantes ne modifient pas l'état du compteur 414, du fait que la sortie  $Q_D$  du compteur 411 maintient en service les circuits d'attaque à 3 états, qui continuent donc à appliquer l'adresse particulière sur les entrées parallèles du compteur 414. Cependant, le compteur 411 continue à compter les impulsions d'horloge de 41 ns. Lorsque ce compteur atteint le compte de 4, le signal à l'état haut qui apparaît sur sa sortie  $Q_C$  est associé avec le signal de la sortie  $Q_D$ , inversé par l'inverseur 460, et, en association avec le signal à l'état haut de la sortie  $Q$  de la bascule 430, ces signaux valident la porte ET 432, de façon à faire apparaître un signal d'écriture dans la mémoire de connexion 0, soit CMOWR. Ainsi, les données qui sont conservées dans les mémoires temporaires 405, 406 sont écrites dans la mémoire de connexion 0, à l'adresse qui est conservée dans le compteur 414. Le signal d'écriture a une durée de 162 ns, du fait qu'il demeure présent jusqu'à ce que le compteur 411 atteigne le compte de 8. A ce moment, la porte 432 est fermée, et les circuits d'attaque à 3 états 410 sont mis hors service, à cause du signal à l'état haut qui est présent sur la sortie  $Q_D$  du compteur 411. Les impulsions d'horloge de 41 ns suivantes chargent des "1" dans tous les étages du compteur 414. Une fois que le signal CMRST est retourné à l'état bas, un cycle d'exploration de toutes les adresses des mémoires de connexion est accompli de la manière qui a été décrite initialement. Au moment où le signal CMOWR est passé à l'état haut pour effectuer une opération d'écriture dans la mémoire de connexion, la porte NON-OU 434 a été validée, ce qui a déclenché un multivibrateur monostable 436, dont la période nominale est de 800 ns. Le signal de sortie du multivibrateur monostable 436 est appliqué par des portes NON-OU 438, 437 sur l'entrée de remise

de zéro des bascules 430, 431, ainsi que sur l'entrée de remise à zéro de la bascule de registre intermédiaire plein, 428. Ce signal a donc ainsi pour fonction de remettre à zéro ces bascules, en les préparant à la réception de nouvelles données de connexion, à partir du complexe de commande commun. A la fin de l'impulsion de restauration CMRST, les bascules 441, 444 reçoivent des signaux d'horloge, comme précédemment, ce qui fait finalement passer la sortie  $\bar{Q}$  de la bascule 444 à l'état bas, si bien que le compteur 411 charge en parallèle des bits "1" dans tous ses étages, en préparation du cycle de restauration suivant. Le fonctionnement du réseau se poursuit de la manière qui vient d'être indiquée, et tous les intervalles élémentaires sont explorés toutes les 125  $\mu$ s, tandis qu'une connexion est écrite dans l'intervalle de formation de trame qui apparaît toutes les 125  $\mu$ s, chaque fois que le complexe de commande décide d'écrire une telle connexion.

Le mode de fonctionnement qui vient d'être décrit pour l'écriture des connexions ne constitue qu'une alternative parmi les différentes possibles. Lorsqu'on utilise ce mode, un mot de mémoire de connexion, c'est-à-dire la moitié d'une connexion entre deux postes téléphoniques, peut être écrit au cours de l'intervalle de formation de trame. Il est également possible d'utiliser des registres intermédiaires supplémentaires, de façon à permettre l'écriture des deux parties d'une connexion au cours de l'intervalle de formation de trame. Une autre alternative possible consiste à écrire les connexions pendant l'exploration séquentielle de toutes les voies. Dans ce mode, on utilise un comparateur pour comparer les adresses enregistrées temporairement en vue de l'écriture, avec l'adresse courante qui apparaît en sortie des compteurs 414. L'écriture de la connexion s'effectue au moment de la détection d'une coïncidence.

Outre les possibilités qui viennent d'être décrites, la fonction de maintenance a la possibilité de lire et d'écrire une information dans les blocs de réseau par l'intermédiaire de l'interface de processeur central B. En considérant la figure 7a, on voit qu'il existe un sélecteur d'état qui possède des lignes de sortie de données LDO-LD7, et une ligne de sortie de

parité LDP, aussi bien pour l'exemplaire 0 que pour l'exemplaire 1 de l'interface de haut niveau. L'information qui est placée sur ces lignes est commandée par 3 bits de sélection qui adressent plusieurs multiplexeurs à 8 bits qui font partie du sélecteur d'état 460. On voit que les signaux d'entrée de sélection sont les signaux CPUAA0-CPUAA2 qui proviennent de l'interface de processeur central A. Un code particulier sur ces lignes de sélection, en présence d'un signal NBMNTRD, correspondant à la fonction de lecture de maintenance de bloc de réseau, fait prendre aux lignes de sortie l'état qui correspond aux entrées sélectionnées. Pour plus de clarté, les entrées sont indiquées sur le tableau qui est placé en annexe. En fait, les données qui sont indiquées sur ce tableau sont appliquées sur les entrées appropriées du multiplexeur, si bien que ces données sont transmises à la sortie lorsque l'adresse appliquée est celle qui est indiquée sur les lignes CPUAA. On voit que les adresses 0-3 sélectionnent respectivement le registre d'adresse d'ordre inférieur, le registre d'adresse d'ordre supérieur, le registre de données d'ordre supérieur, et le registre de données d'ordre inférieur. Ainsi, la fonction de maintenance peut accéder aux sorties de ces registres pour déterminer que l'information écrite précédemment a été correctement reçue. L'adresse 4 est destinée à la lecture des fonctions liées à la maintenance. Le bit 0 représente l'état de la bascule de défaut, et le bit 1 indique si le bloc en question est un bloc principal ou un bloc de secours. Le bit 1 est programmé par câblage à la masse de la connexion correspondante pour les blocs de réseau normaux, et à l'alimentation positive pour le bloc de secours. Parmi les bits lus, figurent également le bit 2 qui indique l'état de la bascule d'erreur de parité d'adresse, le bit 3 qui indique l'état de la bascule d'erreur de parité de données, et les bits 4 et 5 qui indiquent l'état de la bascule d'erreur de parité d'interface de comparateur, sur les cartes d'interface de comparateur 0 et 1, respectivement. De façon similaire, les bits 6 et 7 indiquent respectivement l'état des bascules d'erreur de parité pour les cartes de mémoire de connexion 0 et 1.

On utilise l'adresse 5 pour accéder à l'horloge de bas niveau, et le bit 0 indique l'état de la bascule de défaut, tandis que le bit 2 indique l'état de la bascule d'erreur. Le mot qui correspond à l'adresse 6 n'est pas utilisé dans le mode de réalisation considéré. Le mot qui est sélectionné par l'adresse 7 indique l'identité du bloc de réseau considéré, et le bit 0 correspond au bit PNBID0, le bit 1 correspond au bit PNBID1, et le bit 2 correspond au bit PNBID2.

On a considéré précédemment la capacité d'écrire des informations d'état du bloc de réseau, dont dispose la fonction de maintenance. En résumé, on utilise les adresses 4-7 pour les opérations d'écriture de maintenance, et les bits de données qui correspondent aux opérations d'écriture sont transmis par l'interface de processeur central B, tandis que les bits d'adresse sont décodés sur l'interface de processeur central A. Comme dans le cas des opérations d'écriture de maintenance, les bits CPUAA0-CPUAA2 sélectionnent le mot particulier. Les bits de données CPUBD0-CPUBD3 fournissent les données pour l'opération d'écriture, et le signal LLCTBFF est équivalent au signal CPUBD0 pour une adresse. L'adresse 4 accède à l'interface de processeur central A, et le signal CPUBD0 positionne la bascule de défaut, tandis que le signal CPUBD1 remet à zéro cette bascule, et le signal CPUBD3 remet à zéro les bascules d'erreur communes sur la carte. L'adresse 5 accède à la carte d'horloge de bas niveau, et le signal LLCTBFF positionne la bascule de défaut qui se trouve sur cette carte, le signal CPUBD1 remet à zéro cette bascule, et le signal CPUBD3 remet à zéro la bascule d'erreur d'horloge de bas niveau. Comme dans le cas des opérations de lecture de maintenance, l'adresse 6 n'est pas utilisée dans le mode de réalisation considéré. L'adresse 7 accède à la carte d'interface de processeur central A. Les fonctions CPUBD0\* et CPUBD1\* ne sont écrites que dans le bloc de réseau de secours, pour programmer respectivement les bits PNBID0 et PNBID1. Comme il a été indiqué précédemment, la fonction CPUBD2\* programme la fonction NBID2 pour tous les blocs de réseau.

Une étude des circuits détaillés des mémoires de connexion et des mémoires d'information ne ferait qu'encombrer



cette description de détails qui ne sont pas importants pour la compréhension de l'invention. Ces configurations de mémoire sont connues, comme il ressort par exemple du brevet U.S.

4 031 328. Il est dans la compétence de l'homme de l'art

5 d'assembler des éléments de mémoire et des composants associés pour commuter les données qui sont transmises par les circuits qui viennent d'être décrits en détail.

En résumé, on vient de décrire une nouvelle configuration de réseau dans laquelle on assure une redondance pour

10 chaque élément du réseau, mais en n'utilisant qu'un seul bloc de réseau de secours. Du fait que l'exemple de réalisation qui

vient d'être décrit peut comporter jusqu'à 4 blocs principaux, tous desservis par un seul bloc de secours, on voit claire-

15 ment l'économie qui en résulte. Même dans des systèmes de taille plus réduite, qui utilisent moins de 4 blocs principaux, l'économie est importante, du fait que la commande demeure

inchangée, indépendamment de la taille du système. En outre, la possibilité de traiter de la même manière tous les systèmes,

qu'ils soient petits, avec un seul bloc principal, ou grands,

20 avec 4 blocs principaux, constitue un avantage important.

On voit que la commutation entre un bloc principal et un bloc de secours, ou inversement, est une opération assez

simple. Pour effectuer cette commutation, on peut soit recourir à la fonction de maintenance, qui a la capacité d'effectuer

25 des opérations d'écriture dans des bascules de l'interface de processeur central A, ce qui permet d'affecter une identité

au bloc de secours, soit recourir à un technicien qui actionne des interrupteurs manuels qui commandent également ces

bascules. Une fois que la commutation est effectuée, la fonction de traitement d'appel se déroule comme si aucun change-

30 ment n'avait été exécuté, du fait que cette fonction émet simplement des instructions destinées à l'écriture de connexions

à une adresse particulière, qui est maintenant desservie par le bloc de secours à la place du bloc principal (ou inversement,

35 dans le cas d'une commutation inverse). Ainsi, la fonction de traitement d'appel demeure la même quelle que soit la configuration du réseau.

La fonction de maintenance offre une souplesse consi-

dérable, aussi bien en ce qui concerne les opérations relatives aux blocs en service que celles relatives au bloc hors service. Par exemple, dans le cas d'une opération de commutation, la fonction de maintenance peut effectuer des écritures de traitement d'appel de maintenance dans le bloc qui va être mis en service, sans affecter le traitement d'appel. De ce fait, la table de mémoire qui est enregistrée dans le processeur d'état pour un bloc qui s'avère être défectueux peut être utilisée pour écrire les mêmes connexions dans le bloc de secours, avant de le mettre en service. On rappelle que les cycles d'écriture de traitement d'appel de maintenance sont accomplis en exécutant des instructions d'écriture dans un bloc particulier, avec le bit PNIB2 positionné à "1". Si ce bit est ensuite commuté à "0" tandis que le bloc principal demeure également à "0", on peut écrire en parallèle dans les deux blocs. Enfin, du fait que les fonctions du bloc qui est hors service ne sont interrompues qu'au niveau des circuits d'attaque qui renvoient les données vers le multiplexeur de bas niveau, il est possible d'exciter et de contrôler ce bloc. Plus précisément, bien qu'un bloc soit hors service, il conserve une certaine identité du fait des bits d'identification 0 et 1, bien que la fonction de mise hors service empêche que ce bloc affecte les lignes bus de retour. Ainsi, les données de parole qui pénètrent dans le bloc principal qui a la même identité que le bloc de secours circulent également dans ce dernier, même s'il est hors service. On peut effectuer des contrôles de parité appropriés pour s'assurer que ce bloc fonctionne correctement, ou pour localiser des défauts éventuels. En outre, en commutant simplement le bit PNIB2, à l'état haut le complexe de commande a la possibilité d'écrire des connexions dans le bloc hors service pendant une opération de maintenance, ce qui constitue une autre aide à la localisation des défauts. En résumé, bien qu'il puisse sembler à première vue que l'utilisation d'un seul bloc de secours réduise la souplesse d'utilisation, on voit que cette configuration offre au contraire une très grande souplesse.

Il va de soi que de nombreuses modifications peuvent être apportées au dispositif décrit et représenté, sans sortir du cadre de l'invention.

## ANNEXE

ADRESSE A2 A1 A0	7	6	DONNEES			2	1	0
			5	4	3			
0 0 0	---	---	Registre d'adresse d'ordre supérieur			IDO	A9	A8
			ID2 O/L	CMO/ CM1	ID1			
0 0 1	A7	A6	A5	A4	A3	A2	A1	A0
			Registre d'adresse d'ordre inférieur					
0 1 0	---	PHI	D12	D11	D10	D9	D8	D7
			Registre de données d'ordre supérieur					
0 1 1	F	PLO	D5	D4	D3	D2	D1	D0
			Registre de données d'ordre inférieur					
1 0 0	CM1 PE FF	CMO PE FF	CI1 PE	CIO PE	DPE FF	APE FF	Bloc prin- cipal/ secours	NB TBL FF
			Horloge de bas niveau					
1 0 1	---	---	---	---	---	LLC EFF	---	LLC TBFF
1 1 0	---	---	---	---	---	---	---	---
1 1 1	---	---	---	---	---	PNB ID2	PNB ID1	PNB IDO

REVENDEICATIONS

1. Système de commutation de télécommunications qui est destiné à interconnecter sélectivement un certain nombre d'accès pour établir des chemins d'appel entre les accès dési-  
5 rés, et qui comporte un complexe de commande commun à programme enregistré, et un réseau qui établit les connexions sous la commande du complexe de commande, ce système étant d'un type qui échantillonne de façon cyclique les accès pour engendrer sur les lignes bus d'entrée du réseau des mots de données  
10 numériques qui représentent l'information échantillonnée, et qui renvoie sur les lignes bus de données partant du réseau des mots de données numériques, pour répartir vers les accès l'information qui est représentée par ces mots, caractérisé en ce que le réseau comporte plusieurs blocs de réseau principaux,  
15 et chaque bloc principal est capable d'établir des connexions avec des groupes affectés respectifs d'accès, et il comporte un élément qui lui affecte un code d'identité particulier ; un élément d'adressage qui, sous la commande du complexe de commande commun, engendre le code d'identité d'un bloc de  
20 réseau particulier, pour accéder à ce bloc afin d'y écrire des connexions ; un seul bloc de réseau de secours qui est associé à tous les accès, et qui comporte un code d'identité programmable qui peut être fixé de façon sélective de façon à correspondre au code d'identité de l'un quelconque des blocs princi-  
25 paux ; un élément programmable qui fixe le code d'identité du bloc de réseau de secours de façon à le faire correspondre au code d'identité d'un bloc de réseau défectueux ; et un élément programmable qui met hors service le bloc de réseau défectueux et qui met en service le bloc de réseau de secours, grâce à  
30 quoi le bloc de réseau de secours répond aux signaux qui sont destinés au bloc défectueux de façon à desservir le groupe d'accès qui est affecté à ce bloc défectueux.

2. Système selon la revendication 1, caractérisé en ce que chaque bloc comprend un élément qui affecte à ce bloc  
35 un code d'identité particulier et fixe, et le complexe de commande commun possède un mode de traitement d'appel et un mode de maintenance ; et le réseau comprend un élément d'adres-

sage qui, lorsque le complexe de commande commun est en mode de traitement d'appel, engendre le code d'identité d'un bloc de réseau particulier de façon à accéder à ce bloc pour y écrire des connexions ; un seul bloc de réseau de secours qui est  
5 connecté à tous les accès, et qui possède un code d'identité programmable qui peut être fixé sélectivement pour correspondre au code d'identité de l'un quelconque des blocs principaux ; un élément qui est programmable par le complexe de commande commun, lorsque ce dernier est en mode de maintenance, de  
10 façon à fixer le code d'identité du bloc de réseau de secours pour le faire correspondre au code d'identité d'un bloc de réseau défectueux ; et un élément qui est programmable par le complexe de commande commun, lorsqu'il est en mode de maintenance, de façon à mettre hors service le bloc de réseau défectueux, et à mettre en service le bloc de réseau de secours,  
15 grâce à quoi le bloc de réseau de secours répond aux signaux qui sont adressés au bloc défectueux, afin de desservir le groupe d'accès qui est affecté à ce bloc défectueux.

3. Système selon l'une quelconque des revendications 1 ou 2, caractérisé en ce que chaque bloc de réseau comporte un élément qui multiplexe les lignes bus d'entrée qui proviennent des accès qui sont affectés à ce bloc, pour rassembler l'information qui correspond à ces lignes bus sur une ligne bus commune, en vue de la commutation ; et un élément  
25 qui démultiplexe les données commutées pour les répartir sur les lignes bus de sortie, toutes les lignes bus d'entrée et de sortie étant connectées au bloc de réseau de secours, grâce à quoi ces lignes bus sont desservies par le bloc principal qui leur est affecté, ou par le bloc de secours, sous la  
30 commande du complexe de commande commun.

4. Système selon la revendication 3, caractérisé en ce que les lignes bus entrantes comprennent plusieurs câbles connectés aux blocs principaux associés ; des éléments de connexion qui effectuent des connexions entre les câbles et le  
35 bloc de réseau de secours de façon que chaque câble se termine au niveau du bloc principal associé, ainsi qu'au niveau du bloc de réseau de secours ; et des éléments qui font partie des circuits des blocs principaux et de secours et qui répartissent

les impédances de terminaison entre le bloc principal et le bloc de secours, la longueur de chaque câble se terminant au niveau d'un bloc principal étant choisie égale à la longueur de l'élément de connexion qui connecte ce câble au bloc de secours, afin de réduire au minimum la réflexion d'énergie, et de fournir une information stable pendant une partie prédéterminée de chaque bit de données.

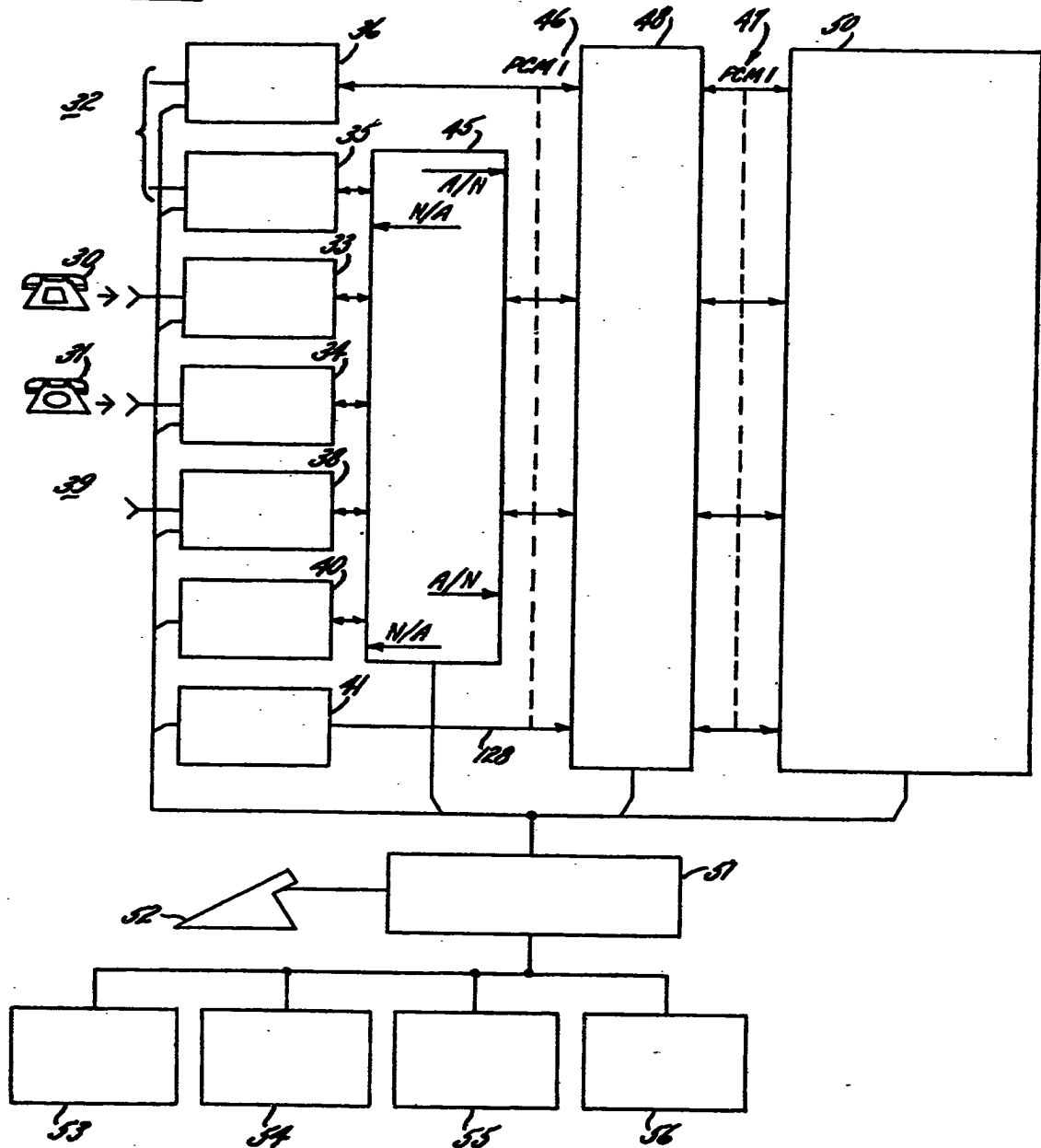
5. Système selon la revendication 4, caractérisé en ce que le réseau comprend en outre une horloge qui produit un signal d'horloge qui possède un front actif qui introduit les données dans le réseau ; et un élément qui règle la phase du front actif de façon à la faire coïncider avec l'instant auquel l'information est stable.

6. Système selon l'une quelconque des revendications 1 ou 2, caractérisé en ce qu'un convertisseur est placé à l'entrée de chaque bloc de réseau, de façon à recevoir les données entrantes qui proviennent de plusieurs lignes bus d'entrée, et de façon à répartir les données commutées vers plusieurs lignes bus de sortie ; le convertisseur de chaque bloc de réseau principal est branché aux lignes bus qui correspondent aux accès qui lui sont affectés ; le convertisseur du bloc de réseau de secours est branché à toutes les lignes bus ; le convertisseur du bloc de réseau de secours comprend un élément qui est sensible à un code d'identité particulier, pour faire en sorte que le bloc de réseau de secours accepte les données qui proviennent de l'un des groupes de lignes bus d'entrée, et communique les données au groupe correspondant de lignes bus de sortie ; et chaque bloc comprend un élément qui invalide le convertisseur pour empêcher que ce bloc répartisse les données commutées vers les lignes bus de sortie.

7. Système selon la revendication 6, caractérisé en ce que l'élément d'invalidation de convertisseur maintient l'un des blocs hors service, et le convertisseur de ce bloc hors service est validé de façon à accepter les données entrantes, mais est invalidé pour empêcher la répartition des données commutées, grâce à quoi ce bloc hors service peut être excité en vue de contrôles.

8. Système selon la revendication 7, considérée comme dépendante de la revendication 2, caractérisé en ce que chaque bloc de réseau comprend un second élément d'identification programmable qui possède un premier état qui autorise les accès de traitement d'appel par le complexe de commande commun, et un second état qui autorise les accès de traitement d'appel de maintenance par le complexe de commande commun, et ce second élément est programmable indépendamment de l'élément qui invalide le convertisseur, grâce à quoi le complexe de commande commun peut accéder, pour le traitement d'appel, aux blocs de réseau en service comme aux blocs de réseau hors service.

FIG. 1.





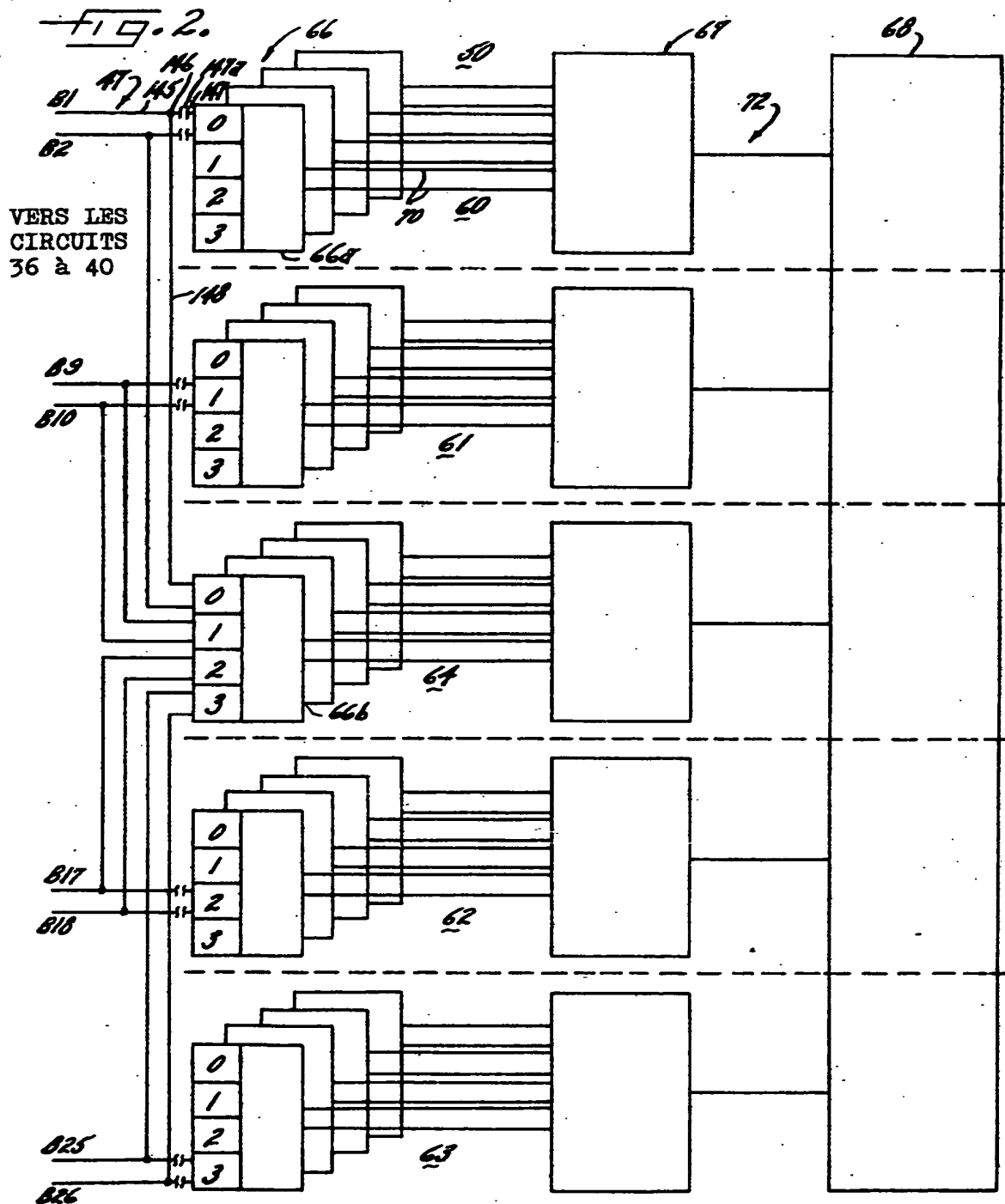
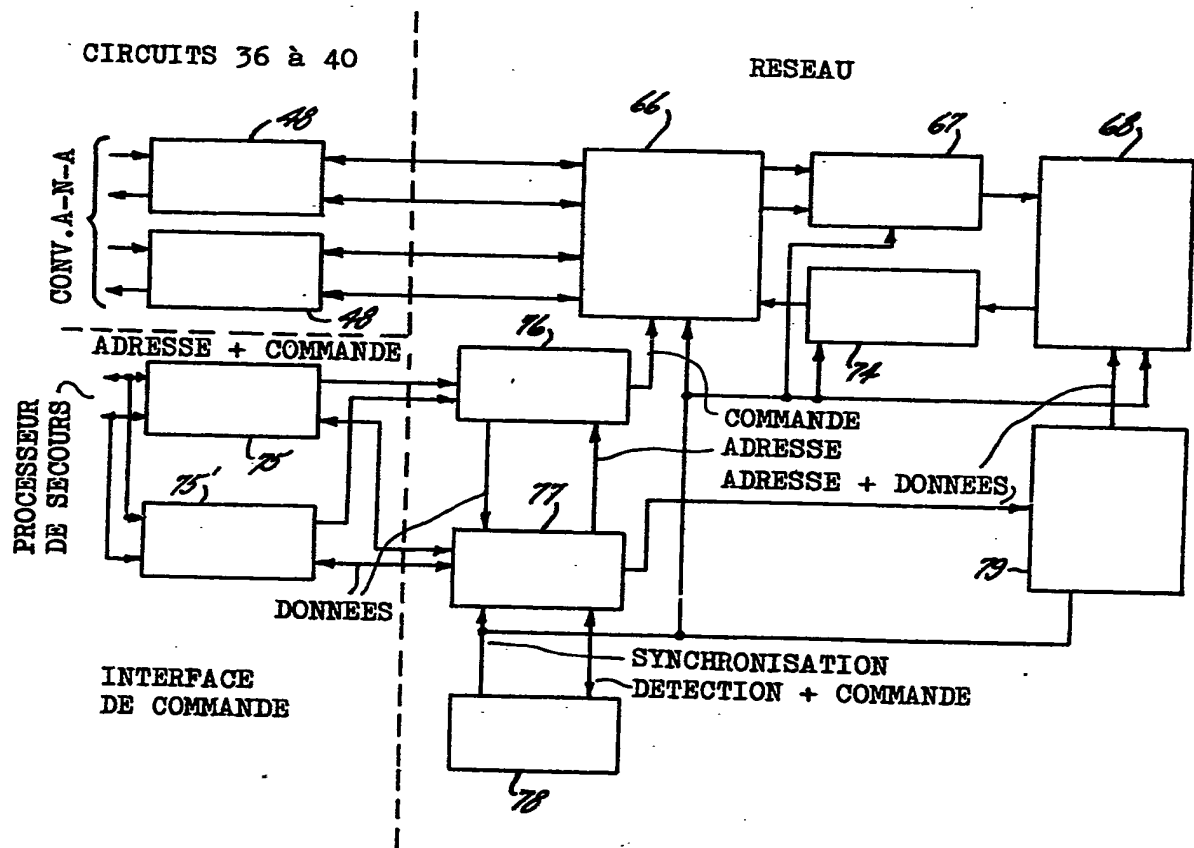
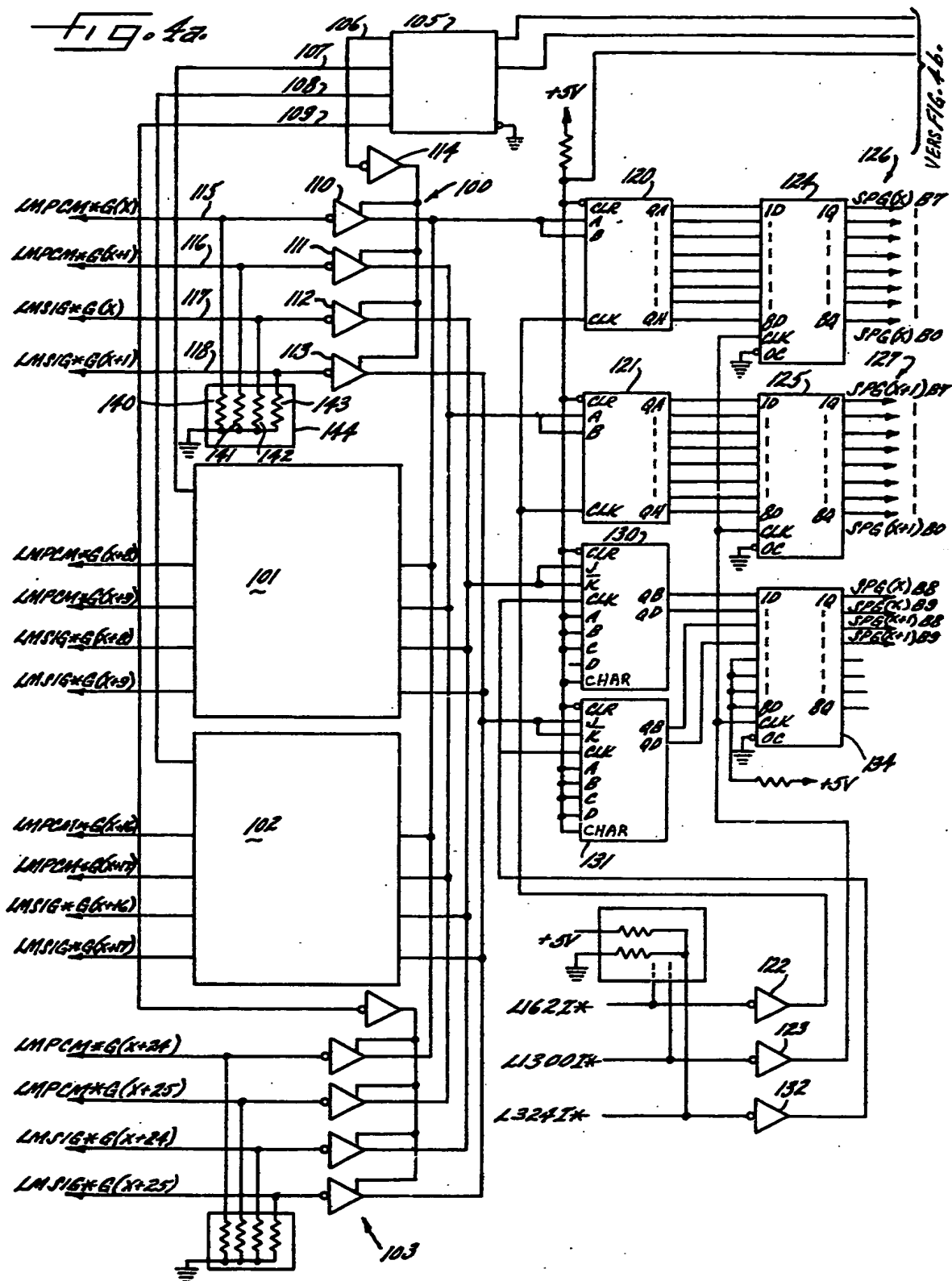


FIG. 3





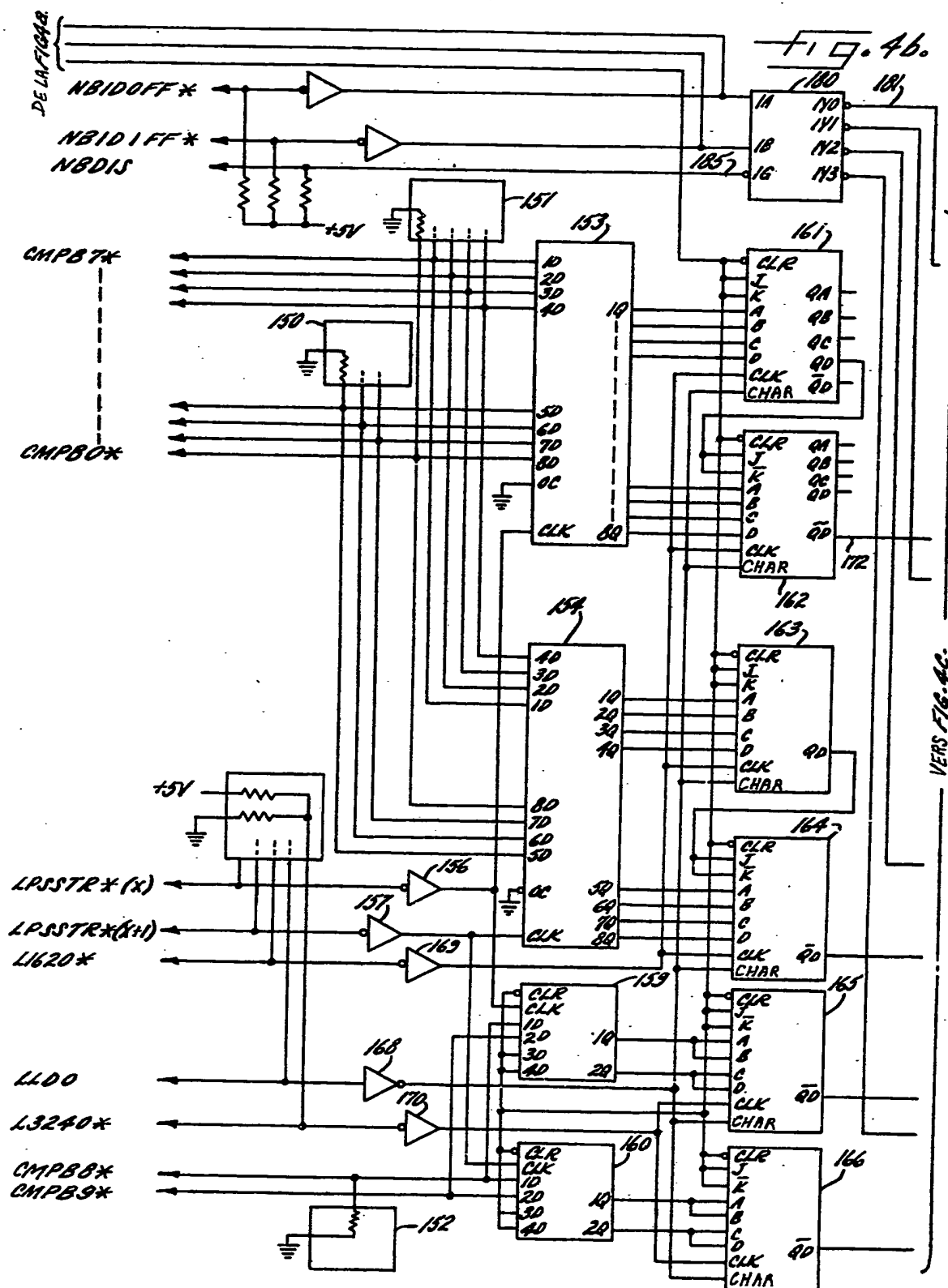
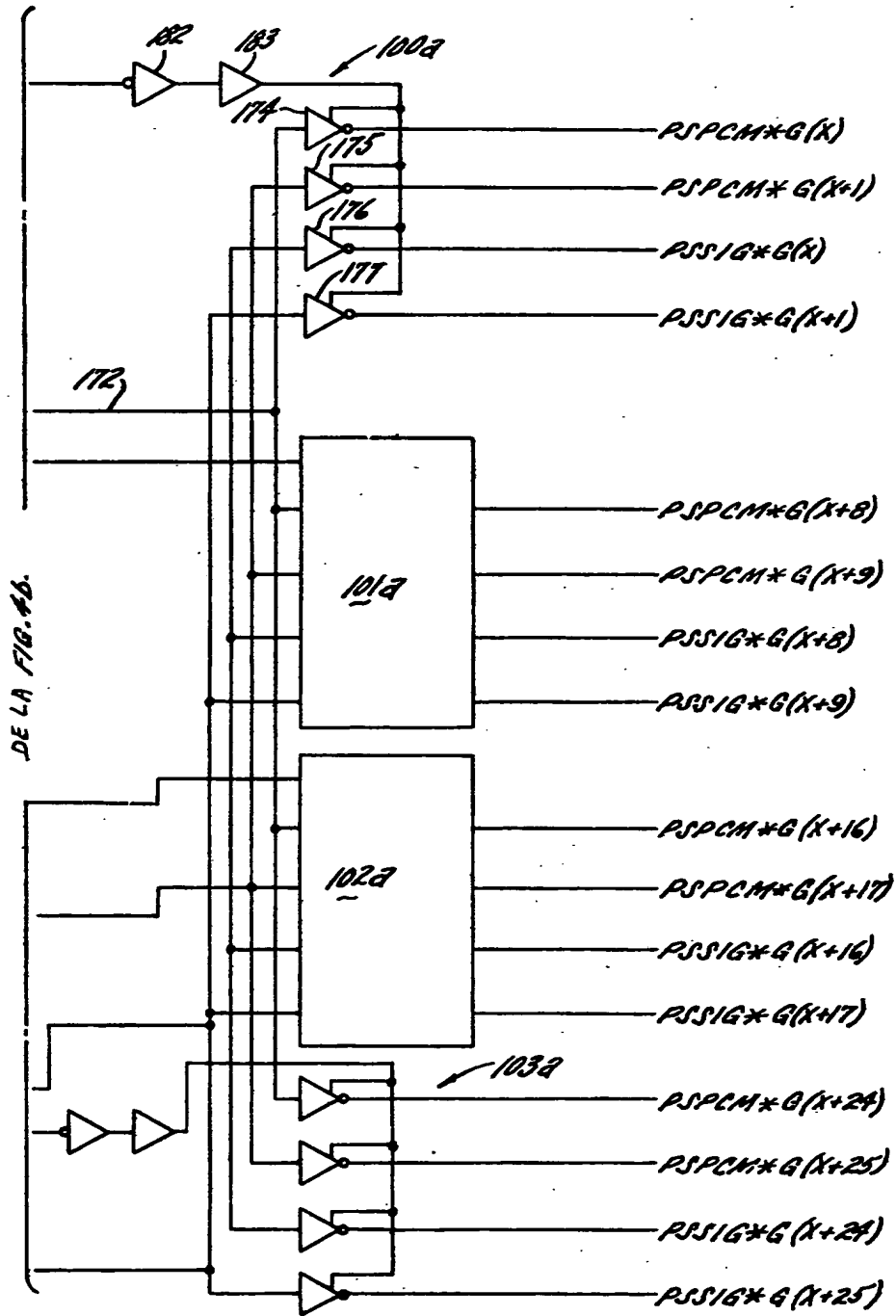
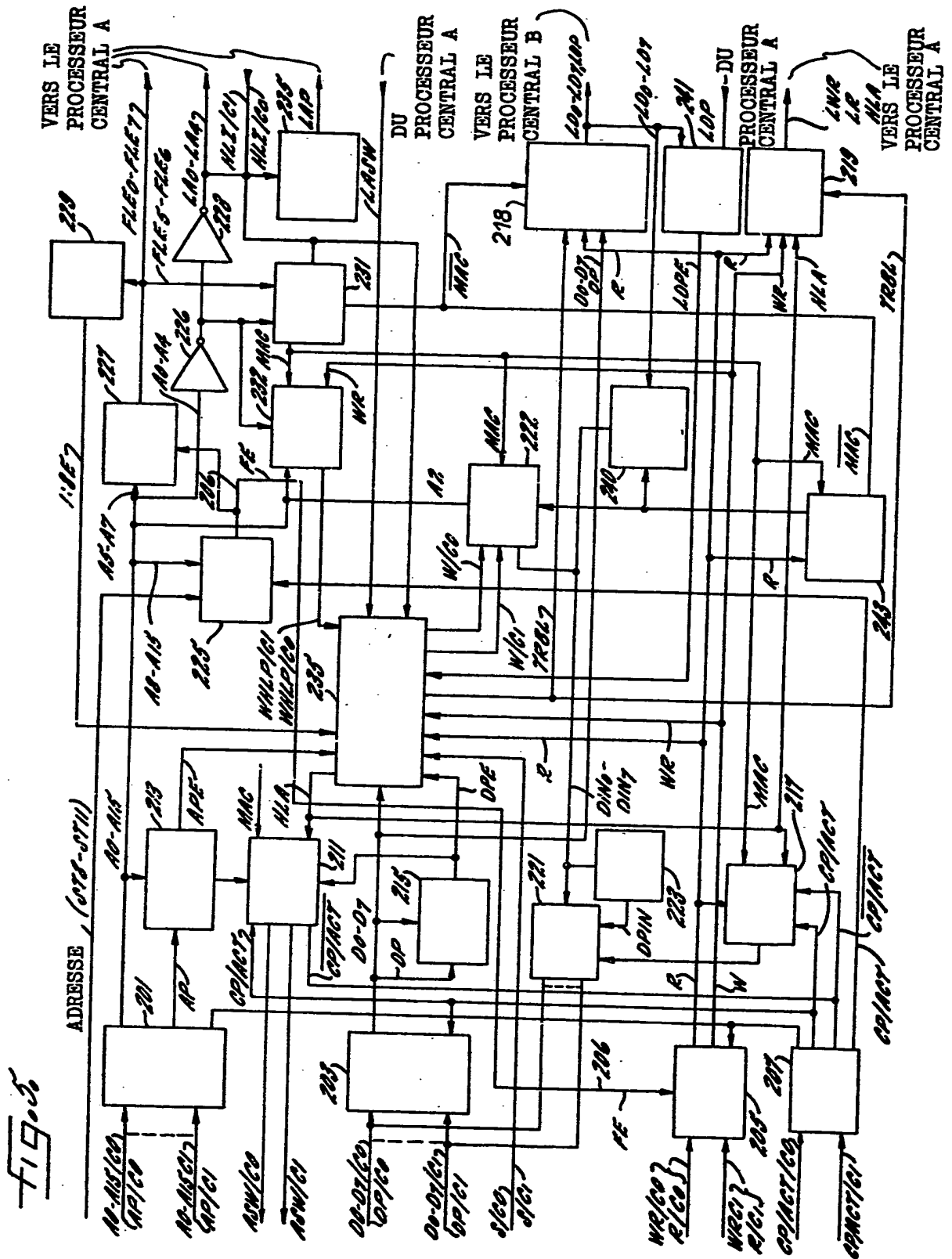
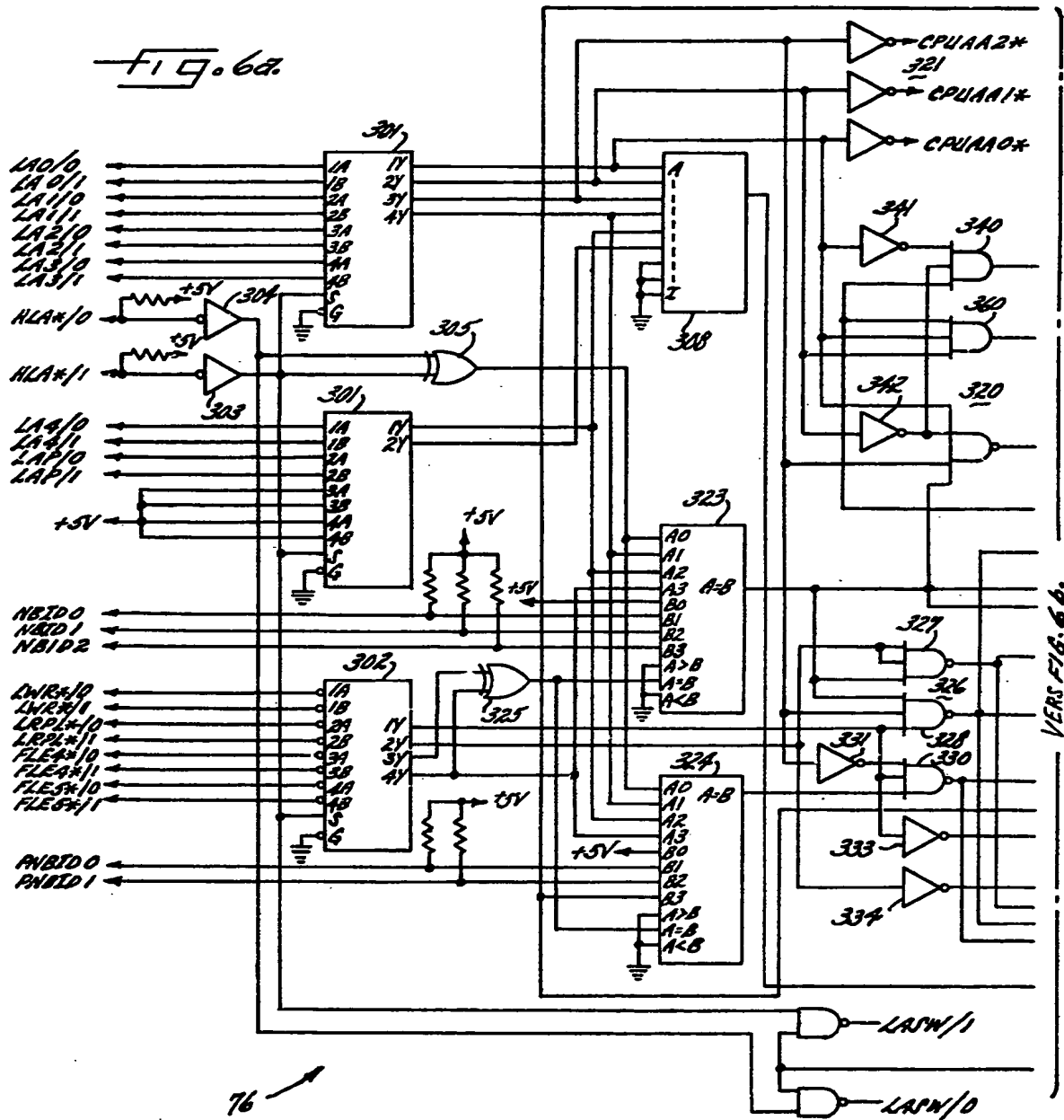


FIG. 4c.

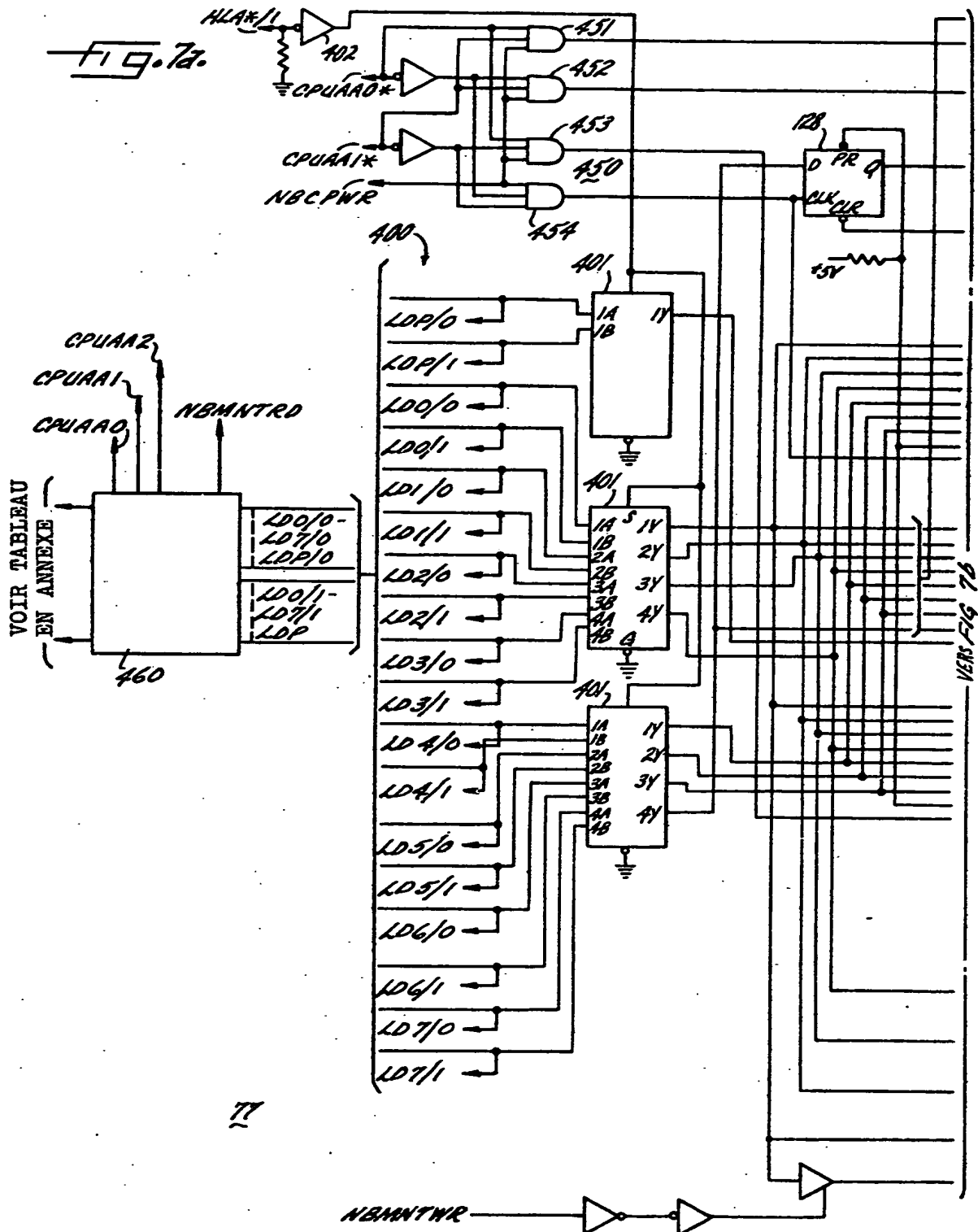






[illegible]





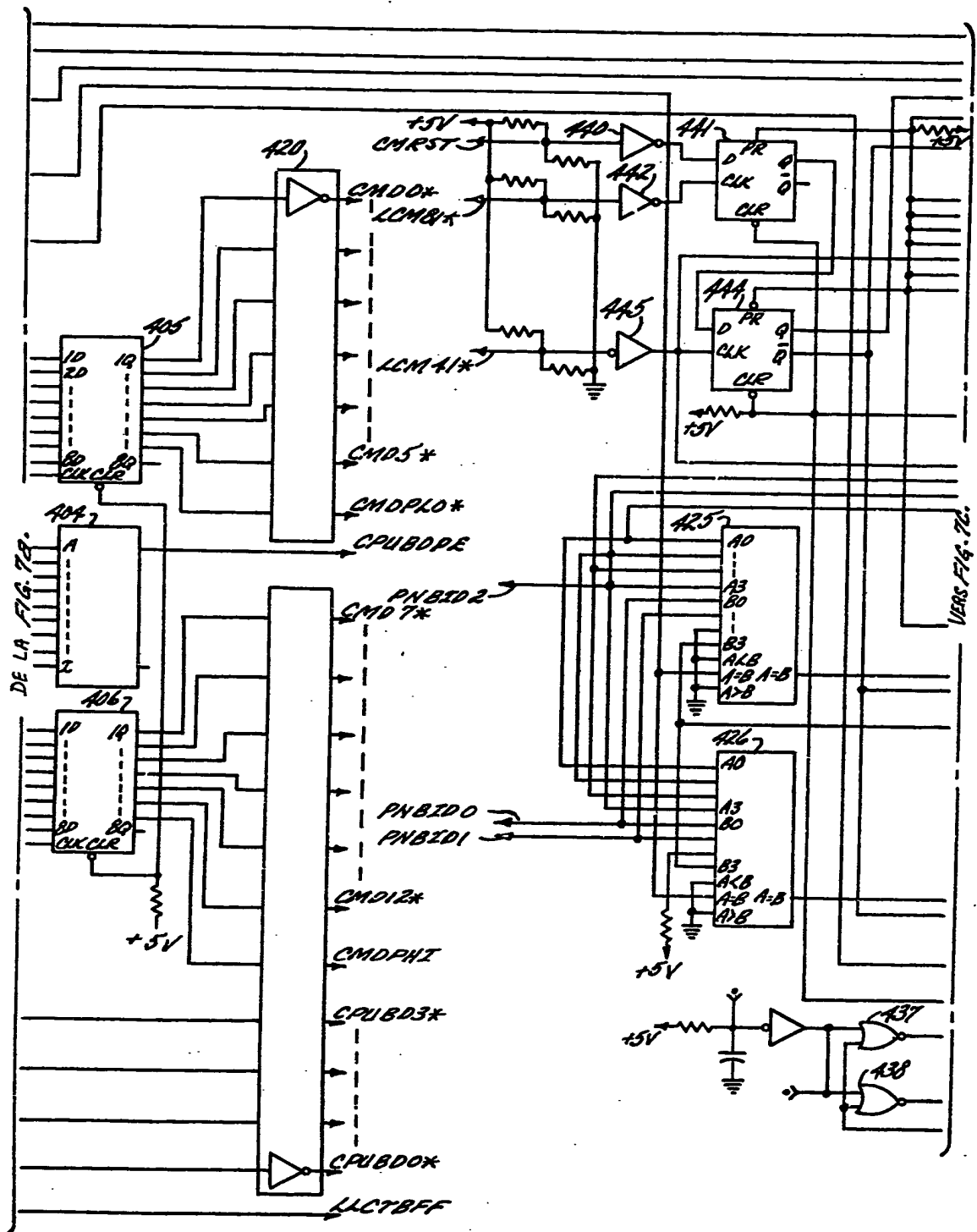


Fig. 76.

